

文章编号:1000-582X(2004)10-0044-04

基于 CPLD 的公共汽车智能语音报站系统*

何伟,张玲

(重庆大学通信工程学院,重庆 400030)

摘要:传统的公共汽车语音报站系统通常采用微处理器进行控制,其缺点是可靠性低、维护和升级不方便。为了解决这些问题,介绍了采用复杂可编程逻辑器件(CPLD)和语音芯片 ISD2560 组成的智能语音报站系统,分析了设计原理。由于 CPLD 的 JTAG 在系统编程能力并且充分利用了 CPLD 内部资源,所有控制逻辑电路和用于扩充 LED 显示的串行通信接口电路均由 CPLD 的内部硬件电路完成,不需微处理器,因此系统硬件电路简单、调试和升级方便、可靠性高、实用性强。

关键词:数字系统设计;语音报站;直接模拟存储;CPLD;HDL;串行通信

中图分类号:TN47;TN49

文献标识码:A

可编程逻辑器件集成度高、设计灵活,可通过边界扫描接口标准(JTAG)进行在系统编程(ISP),已经逐渐成为设计和实现数字系统的主要方式。Lattice 公司的 ispLSI 1k 系列 CPLD 芯片,其编程方便、集成度高、速度快、价格低等特点已经获得越来越广泛的应用,是实现小型数字系统设计的理想器件。掌握利用 CPLD 进行电子系统的设计方法已经成为广大电子设计人员必不可少的技能^[1-2]。笔者用 ispLSI 1032E 和 ISD2560 设计了一个公共汽车智能语音报站系统。系统具有正报、反报、重报、回退、复位、站位显示的功能,同时还提供一个用于扩充 LED 汉字显示的 RS232 串行通信接口。

1 语音芯片 ISD2560 简介

ISD2560 为美国 ISD 公司出品的单片语音录放电路,具有零功率信息存储功能。这个独一无二的方法是借助于美国 ISD 公司的专利——直接模拟存储技术(DAST)实现的,利用它,语音和音频信号以其原本的模拟形式进入 E²PROM 存储器,省去了 A/D、D/A 转换器。该芯片录音时间为 60 s,能重复录放达 10 万次,内部 E²PROM 存储单元均匀分为 600 行,具有 600 个地址单元,每个地址单元指向其中一行,每一个地址

单元的时间分辨率为 100 ms,控制电平与 TTL 电平兼容,接口简单,使用方便^[3]。

ISD2560 地址输入端具有双重功能,根据地址中的 A8、A9 的电平状态决定 A0 ~ A6 的功能。如果 A8、A9 有一个为低电平,A0 ~ A6 输入全解释为地址位,作为起始地址用;如果 A8、A9 同为高电平,它们即为模式位。本系统不用模式位。

2 语音芯片的分段存储设计

为了能正确地进行语音播报和合理地利用语音芯片的存储空间资源,必须将 60 s 的语音芯片分段存储所需的内容,然后根据每条播报信息的要求组合后再进行播报。尽管 ISD2560 的最大分段数是 600,但实际使用时的分段数要因具体情况而定,每段占用的地址单元数也不必相同,录音和放音可跨地址连续存取。因此怎样分段和每段的长短均由设计者自己决定,基本原则是便于组合放音和节约存储空间。表 1 是分段存储的一个举例。播报时只需依次正确地给出组合放音的地址和放音信号即可。例如当需要播报“下一站 × × 1,前往 × × 1 的乘客请做好准备”时,给出的地址为 420 10 0 3 0 10 470 0,其中的 0(静音)用于词语间的停顿。

* 收稿日期:2004-05-12

基金项目:重庆市应用基础研究基金资助项目(2003-7963)

作者简介:何伟(1964-),男,四川南充人,重庆大学副教授,硕士,主要从事电子系统设计与图像处理的研究。

表 1 语音分段存储表

地址	单元数	时长/s	内容
0 - 2	3	0.3	静音
3 - 9	7	0.7	“前往”
10 - 19	10	1	“XX1”
20 - 29	10	1	“XX2”
...
390 - 399	10	1	“终点站”
400 - 409	10	1	“所有”
410 - 419	10	1	“到了”
420 - 429	10	1	“下一站”
430 - 439	10	1	“需要在”
440 - 469	30	3	“下车的乘客请下车”
470 - 499	30	3	“的乘客请做好准备”

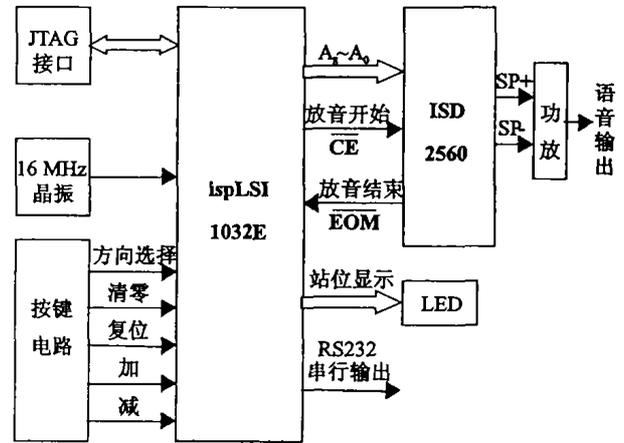


图 2 系统框图

每条语音由若干段语音组成, 每条语音的第一段的播报是由按键触发的, 其余段的播报是由语音芯片输出的放音结束信号 EOM 触发的。EOM 是低有效, 该信号上升沿表示当前播报的一段语音信息已经结束, 利用它去触发下一段语音信息的播报, 就可以使需要播报的一条完整的语音信息连续流畅地播放出来。本设计中一条完整的语音信息由 8 段组成, 如果每一条语音信息播报 2 次, 则需要一个 16 进制的计数器。

语音信息连续播放的原理如下: 任何时候只要按下“加”、“减”、“清零”、“重报”4 个键中的任一个, 由于播放信号发生器的作用都会触发一次语音的播报, 且存储组合语音地址表的高 5 位地址已经确定, 其中 A7 由“方向选择端”确定, A6 ~ A3 由双向计数器确定。按键“加”可以使 A6 ~ A3 加 1 以指向下一条语音信息地址表的存储位置, 按键“减”可以使 A6 ~ A3 减 1 以指向上一条语音信息地址表的存储位置, 而“重报”键将不改变 A6 ~ A3 以指向当前条语音信息地址表的存储位置, 按“清零”键可以使 A6 ~ A3 全为 0 以指向第一条语音信息地址表的存储位置。按键“加”、“减”、“清零”、“重报”都有 3 个功能, 第一是前面介绍的修改 A6 ~ A3; 第二是使 16 进制计数器清零以便从该条信息的第 1 段开始播放; 第三是通过播放信号发生器产生语音播放信号, 该信号连接到语音芯片的放音控制端 CE, 使语音芯片开始播放语音信息。当第 1 段语音信息播放完后, ISD2560 将输出放音结束信号 EOM, EOM 信号作为 16 进制计数器的时钟输入端将使计数器变为 0001, 该计数器的低 3 位输出作为存储器的低 3 位地址输入将指向当前条语音信息的第 2 段, 同时 EOM 信号通过门控和延时后经播放信号发生器还将产生语音播放信号 CE, 该信号作用于语音芯片后又使语音芯片开始播放语音信息, 但这次播放的是第 2 段语音信息。延时的目的是保证在 CE 信号有效时,

3 CPLD 控制电路框图

CPLD 控制电路的内部结构如图 1 所示。系统工作控制过程如下: 汽车正向行驶时将“方向选择端”置为低电平, 当需要播报语音信息时, 按下“加”键即可。注意, 每按一次“加”键, 播报的语音信息就自动加 1, 并立即播报两次, 所以正常情况下只需按“加”键。如果出现堵车等特殊情况, 需要再次播报已经播报过的信息, 操作人员只需按下“重报”键即可, 该键可任意次重复执行。如果出现汽车站点与播报信息错位的情况, 则可以通过连续按“加”键快进或连续按“减”键快退进行调整。分频器的作用是产生按键去抖动的 50 Hz 信号、延时用的 1 kHz 信号和串行通信用的 153.8 kHz 信号。放音结束信号来自语音芯片, 作为连续播放语音信息的触发信号。

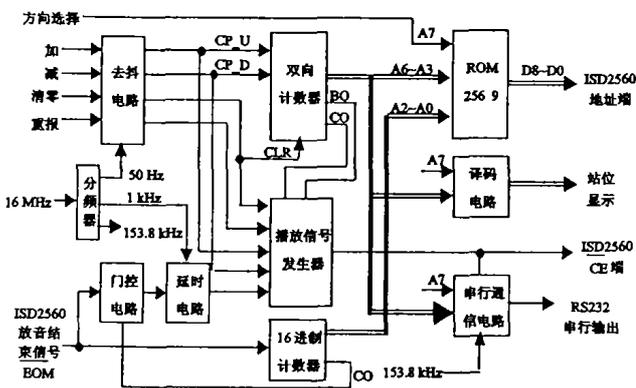


图 1 CPLD 控制电路框图

值得注意的是, 进行 CPLD 的设计过程中消除毛刺仍是一个不容忽视的问题^[4]。

4 系统框图及语音播报控制原理

图 2 是系统连接框图。其中 JTAG 接口为调试、在系统编程和升级提供了便捷的通道。

EOM已经使 16 进制计数器完成计数。以此类推,当第 8 段播放完后 16 进制计数器的输出为 1000,由于输出的最高位未用,所以语音播放又将从该条第 1 段重复播放,接下来是第 2 段、第 3 段直到第 8 段。当第二次的第 8 段播放完后 16 计数器的输出变为 0000,其进位信号 CO 将关闭门控电路以屏蔽 EOM,使语音播放停止。这样就达到了每条语音信息重复播放两次同时又能停止播放的目的。

值得注意的是,播放信号发生器是受控的,控制信号是双向计数器的进位输出 CO 与借位输出 BO。正常工作时 CO 与 BO 都为 0,所以不产生任何影响,但当双向计数器产生了 CO 或 BO 时,将封锁播放信号发生器使之不能产生播放信号,即当汽车运行到终点站后,语音播报就将停止,这样就可防止语音播报器又从头播报。

5 CPLD 中其它模块的设计

5.1 只读存储器

本系统中存储器用于存储语音信息播放时的分段地址表。语音芯片 ISD2560 的分段地址只用到 9 位(见表 1),因此设计存储器的数据宽度也为 9 位。

如前所述,每一条语音信息由 8 段组成,因此占用 8 个存储单元,这 8 个存储单元分别存储 8 段语音信息在语音芯片中的分段地址。假设汽车线路共 9 个站,除去起点站外,需要播报的只有 8 个站。每个站需要播报两次,第一次播报在汽车离开上一站的时候,告诉乘客下一站是什么站,提醒需要下车的乘客作好准备,第二次播报在汽车到站以后,告诉乘客什么站已经到了,该下车的乘客请下车。由此可见,汽车从起点站运行到终点站的过程中,需要播报 16 条信息,每条信息由 8 段组成,共需 $16 \times 8 = 128$ 个存储单元。此外,汽车反向行驶的播报内容和顺序不能与正向行驶的公用,因此反向行驶的播报内容也必须单独存储,所以,整个系统所需存储器容量为 256×9 bit。存储器设计着重注意以下几点:

- 1) 如果需要增加汽车线路的站数或添加文明、广告信息,存储器的存储单元数也要相应地增加;
- 2) 用 VHDL 语言设计 ROM 存储器可以用 CASE 语句和数组两种方法实现,实践证明 CASE 语句会占用更多的硬件资源,建议用数组的方法设计;
- 3) 尽管所需存储器容量较大,但经 EDA 工具优化设计后不会占用太多的逻辑资源,本系统所用的

256×9 bit 的 ROM 只占用了 ispLSI 1032E 芯片 128 个宏单元中的 9 个。

5.2 串行通信 RS232 接口的 VHDL 设计^[2,5-6]

将每次播报时的第一段语音信息的地址串行输出至车内的 LED 显示屏,就能在声音播报的同时用滚动的汉字显示汽车的到站信息以提升系统的功能。串口设计着重注意以下几点:

- 1) 考虑可靠性问题通信的波特率不宜太高,选为 9 600 或更低;
- 2) 基准信号频率为 153.8 kHz,采用 16 个基准信号对应一个数据位,其实际波特率为 9 612,相对误差为 0.13%,远小于串行通信所要求的 4.17%;
- 3) 用播放信号触发串行数据的发送,保证每次播报时显示屏能同步更新显示内容;
- 4) 通信是单向的,接口电路只需设计发送部分。

6 结束语

笔者将 CPLD 与直接存储的语音芯片 ISD2560 有机结合,设计了一个智能语音报站器,实际测试效果较好,其特点主要体现在:

- 1) 语音直接存储。ISD2560 语音信号直接模拟存储芯片能够非常自然地再现声音和分段组合控制。
- 2) 无微处理器。系统不会出现程序跑飞的现象,可靠性高。
- 3) 集成度高。CPLD 集成了几乎所有的控制和接口电路,硬件电路简单,进一步提高了可靠性。
- 4) 易扩展、易升级。CPLD 充足的内部资源、在系统编程能力和 EDA 工具的各种仿真功能使系统升级和功能扩展十分容易。

参考文献:

- [1] 曾繁泰. 可编程器件应用导论[M]. 北京:清华大学出版社,2001.
- [2] 侯伯亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计[M]. 第 2 版. 西安:西安电子科技大学出版社,1999.
- [3] 梁文海. GMS97C2051 与 ISD2560 组成的小型语音系统[J]. 单片机与嵌入式系统应用,2002,2(3):62-64.
- [4] 何伟,张玲. 消除 CPLD/FPGA 器件设计中的毛刺[J]. 重庆大学学报(自然科学版),2002,25(12):69-73.
- [5] 范逸之,陈立元. Visual Basic 与 RS232 串行通讯控制[M]. 第 2 版. 北京:中国青年出版社,2002.
- [6] 华升 EDA 网站. PC 机与 CPLD 通信问题的研究[EB/OL]. <http://www.hseda.com/main.htm>,2003-09-17.

Intelligent Sound Broadcast System of Bus Based on CPLD

HE Wei, ZHANG Ling

(College of Communication, Chongqing University, Chongqing 400030, China)

Abstract: The traditional sound broadcast system of bus makes use of MPU. It's shortcoming is have lower dependability, at the same time the maintenance and upgrade is difficult. In order to solve these problems, an intelligent sound broadcast system of bus makes use of Complex Programmable Logic Device(CPLD) and sound chip ISD2560 is introduced, and the principle of design is analysed. Because of the ability of In System Programmability of CPLD's JTAG, and take full advantage of the resource in CPLD, this system have no use for MPU. So, the hard circuit of this system is simple, and the system is easy to debug, upgrade and has very high dependability and better practicability.

Key words: design of digital system; sound broadcast ;DAST;CPLD; HDL; serial communication

(编辑 张 苹)

~~~~~  
(上接第17页)

## Development of Embedded ECG Monitor Based on Linux

LIANG Xiao-rong, QIN Shu-ren, YE Shun-liu, WAN Xiang-kui

(Test Center, Chongqing University, Chongqing 400030, China)

**Abstract:** Presently, ECG monitor encounters the trend of miniaturizing, intelligentizing and networking. Short distance and limited channels are shortcomings of the existed telemetric ECG (Electrocardiograph) monitoring system, while the existed remote monitoring system has the disadvantages of high cost and low Data Transfer Rate. Furthermore, neither of these two systems can implement real-time monitoring on the spot. So, an embedded ECG Monitor based on Linux, which successfully solves these problems, is introduced. With embedded system technique, this embedded monitor, which can not only realize real-time monitoring on the spot, but also analyse the ECG data, has the advantages of low cost, small volume, light weight, low power, high stability, powerful networking function and so on. And by communicating through Internet, which has the features of low cost, high data transfer rate and good expandability, it can also send ECG data to monitoring center in order to achieve long-term monitoring. The development of this monitor provides a new solution for medical instruments' implementation and networking, and is of certain reference value.

**Key words:** embedded Linux; ECG monitoring; Internet; multi-thread

(编辑 成孝义)