

文章编号:1000-582X(2008)06-0642-04

# $\pi/4$ -DQPSK 快速位同步捕获和跟踪算法

甘平, 宋炎翼, 颜芳, 谭晓衡

(重庆大学通信工程学院, 重庆 400030)

**摘要:**为了在  $\pi/4$ -DQPSK 解调中能快速实现位同步捕获和跟踪, 提出将中频差分检测和同步头捕获跟踪相结合的并行处理方法, 根据  $\pi/4$ -DQPSK 本身的特点, 按照  $\pi/4$ -DQPSK 解调中的快速同步捕获和位同步跟踪改进算法, 结合信号能量检测、频移初捕并行处理的位定时算法, 采用 FPGA (field program grid array) 技术实现  $\pi/4$ -DQPSK 解调中的快速同步捕获和位同步跟踪。实验结果表明最快可以在 8 个符号位时稳定恢复时钟同步信号, 具有捕获周期短, 位定时准确, 抗干扰能力强, 不受频差影响, 适合于高传输码率的跳频通信接收系统应用。

**关键词:**  $\pi/4$ -DQPSK; 解调; 位同步; 相位跟踪; 相位捕获

中图分类号: TN 763

文献标志码: A

## An algorithm of symbol timing rapid acquisition and tracking for $\pi/4$ -DQPSK signals

GAN Ping, SONG Yan-yi, YAN Fang, TAN Xiao-heng

(College of Communication Engineering, Chongqing University, Chongqing 400030, P. R. China)

**Abstract:** Methods of IF difference detection combined with rapid acquisition synchronization and tracking principle by parallel processing methods were proposed in order to quickly achieve synchronous digital capture and tracking in  $\pi/4$ -DQPSK demodulation. Field program grid array (FPGA) technology to achieve rapid detection of synchronous capture and symbol tracking was adopted by using the improved algorithm in parallel with signal acquisition and frequency offset acquisition. This adoption took into account the characteristics of  $\pi/4$ -DQPSK and was in accordance with the detection of rapid acquisition synchronization and the tracking principle. The experimental results show that clock synchronization signals can be restored stably in eight symbol bit, accurately realize bit-timing, and possess strong anti-interference capability without affecting frequency differences. This proposed algorithm is suited for frequency hopping communication systems with high transmission rates.

**Key words:**  $\pi/4$ -DQPSK; demodulation; symbol synchronization; phase acquisition; carrier tracking

随着数字卫星移动通信与地面移动通信的发展,  $\pi/4$ -DQPSK 调制方式在移动通信中得到广泛的应用。但数据传输码速率日益提高, 特别是跳频模式的应用, 对  $\pi/4$ -DQPSK 的解调提出了不受或

基本不受频差影响的位定时跟踪要求。根据  $\pi/4$ -DQPSK 调制信号的具体特征, 提出快速位同步捕获和同步跟踪的方法<sup>[1]</sup>, 用 FPGA (field program grid array) 技术<sup>[2]</sup> 实现  $\pi/4$ -DQPSK 的快速解调。同

收稿日期: 2008-03-21

基金项目: 重庆市自然科学基金资助项目 (CSTC, 2005 BB2212)

作者简介: 甘平 (1974-), 男, 重庆大学工程师, 从事软件无线电和信号处理研究, (Tel) 023-66851680;

(E-mail) vigor\_gp@163.com.

欢迎访问重庆大学期刊网 <http://qks.cqu.edu.cn>

时 FPGA 芯片技术的不断发展,逻辑单元成倍增加, DSP 硬核的加入,以及内部存储单元的增加,使 FPGA 的并行数据处理能力成倍提高,这就为算法实现提供硬件基础。

### 1 π/4-DQPSK 解调中的快速同步捕获和位同步跟踪算法

#### 1.1 同步原理

在实际应用中,主要是解调位同步建立时间过长,即时钟的同步时间过长,这对跳频或突发数据包(突发解调)都不适应。每个数据包包头采用 BTR 码建立同步, BTR 的形式为“... $x_{k-1} y_{k-1} x_k y_k x_{k+1} y_{k+1} \dots$ ”,即串/并转换后单路数据为“...101010...”序列,  $x_k$  和  $y_k$  表示串/并转换后的输入数据,  $k$  表示第  $k$  个码元区间,即  $kT \leq t \leq (k+1)T$  ( $T$  为码元宽度)。

把 π/4-DQPSK 调制信号的数学表达式简化<sup>[3]</sup>为

$$s(t) = A(t) \cos[\omega t + \theta(t)],$$

其中:  $A(t) = \sum_k g(t - kT_s)$ ,  $g(t)$  为基带成形脉冲;  $\omega$  为载波角频率;  $T_s$  为码元宽度;  $\theta(t)$  为调制相位。则输入数据  $x_k$  和  $y_k$  通过差分相位编码后,经基带成形滤波器  $g(t)$ ,再与  $\cos \omega t$  和  $\sin \omega t$  相乘后形成正交两路基带信号

$$\begin{aligned} s_{ii}(t) &= A(t) \cos \theta(t), \\ s_{iq}(t) &= A(t) \sin \theta(t). \end{aligned} \tag{1}$$

假设接收端接收到的信号为  $S_r(t)$ ,令

$$\begin{aligned} x(t) &= S_r(t) S_r(t - 2T_s), \text{ 则有} \\ x(t) &= A^2(t) e^{j[2\Delta\omega T_s + \theta(t) - \theta(t - 2T_s)]}, \end{aligned} \tag{2}$$

(其中  $\Delta\omega$  为收发残留频差)。

可近似认为  $A(t - 2T_s) = A(t)$ ,由 π/4-DQPSK 相位关系,易知在 BTR 期间有

$$\theta(t) - \theta(t - 2T_s) = -\frac{\pi}{2}. \tag{3}$$

因此根据  $x_i(t) = A^2(t) \sin(2\Delta\omega T_s)$ ,  $x_q(t) = A^2(t) \cos(2\Delta\omega T_s)$ ,其中  $x_i(t)$ 、 $x_q(t)$  分别表示  $x(t)$  的实部和虚部。当  $t = t_0 + kT$  时,定义

$$\begin{aligned} \text{Acq}_i(k) &= \sum_{n=0}^{N-1} x_i(t_0 + kT + nT_s); \\ \text{Acq}_q(k) &= \sum_{n=0}^{N-1} x_q(t_0 + kT + nT_s). \end{aligned} \tag{4}$$

$$\text{定义 } \text{Amp}(k) = \text{Acq}_i(k) + \text{Acq}_q(k), \tag{5}$$

其中:  $k = 0, 1, \dots, (m-1)$ ;  $t_0$  为起始时刻,  $0 \leq t_0 \leq T_s$ ;  $T$  为抽样间隔;  $T_s = mT$ ,  $m$  为一个码元内的抽样点数;  $N$  为窗口宽度,  $L/2 \leq N \leq L$ ,  $L$  为

BTR 的长度。由于在 BTR 期间,接收端的  $I$  路和  $Q$  路应接收到的数据为“101010...”,其相位关系满足式(3)、(4),间隔 1 个码元采样,则每次都应采到正向最大点或反向最大点,再按照式(5),  $\text{Amp}(k)$  通过平方后累加则在 BTR 期间都将迅速增加,对于噪声和其它随机信号,  $\text{Acq}_i(k)$  和  $\text{Acq}_q(k)$  都趋于 0。

判断突发帧到达的准则:  $\max\{\text{Amp}(k) | k = 0, 1, \dots, m-1\} \geq A_{th}$  ( $A_{th}$  为预先设定的门限)。在非相干解调系统中,判断突发帧的到达是一个难点。

抽样时刻判决准则:由于信号经过升余弦滤波,故  $\text{Amp}(k)$ ,  $k = 0, 1, \dots, m-1$  的各值不尽相同,使  $\text{Amp}(k) = \max\{\text{Amp}(k) | k = 0, 1, \dots, m-1\}$  成立的  $k$  值所对应的抽样时刻最接近判决点;而使  $\text{Amp}(k) = \min\{\text{Amp}(k) | k = 0, 1, \dots, m-1\}$  成立的  $k$  值所对应的抽样时刻最接近过零点。通过以上过程,可以快速得到位同步信息。

#### 1.2 参数选择

定义 BTR 的长度为  $L$ ,按照式(4)、(5),  $N$  为窗口宽度,  $L/2 \leq N \leq L$ ,  $N$  越大,抑制噪声能力越强。这是由于噪声等因素的影响, BTR 长度如果较短,采样的点数就少,其数值随机性较大,为了获得足够的平均才能有效地抑制噪声的影响,  $L$  和  $N$  的参数应根据信噪比的要求来设定。

#### 1.3 位同步跟踪

由于同步捕获期间,定位时钟没有准确同步,必须要进行调整,同时同步时钟可能发生漂移,故应进行跟踪。

解决方法通过两种途径<sup>[4]</sup>实现:一是提高每个符号的采样点数,通过增加采样点数,获得足够的平均来有效地抑制噪声的影响,按照式(5)计算得到的  $\text{Amp}(k)$  值就越靠近真实的最大值点,那么计算得到最大值点就是定位时钟点,实现位同步跟踪;二是通过对过零点的前后判断,分别对位定时超前和位定时滞后的判断调整位定时脉冲来实现位同步跟踪。

抽样判决器的同相输入信号为  $x(n)$ ,正交输入信号为  $y(n)$ ,  $n = 0, 1, 2, \dots$ ,则位同步跟踪的误差信号如图 1 所示。

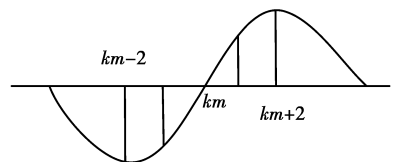


图 1 位同步跟踪的误差信号

在没有频差的情况下,假设只有同相信号有过零点,正交信号没有过零点,则可得

$e(k) = x(km) \{x(km-2) - x(km+2)\} < 0$  (超前时);

$e(k) = x(km) \{x(km-2) - x(km+2)\} > 0$  (滞后时),

$e(k) = x(km) \{x(km-2) - x(km+2)\} + y(km) \{y(km-2) - y(km+2)\}$ . (6)

当  $e(k) > th$  或  $e(k) < -th$  时 ( $th$  为假设的一门限), 对位定时时钟进行一次调整。在位定时调整的过程中, 为减小噪声的影响, 对  $e(k)$  进行如下处理:  $e = \sum_k e(k)$ , 位定时滞后当  $e > th$ , 或  $e < -th$  时, 对位定时时钟进行一次调整并为下一次调整作准备。

## 2 快速同步捕获和位同步跟踪的 FPGA 设计

$\pi/4$ -DQPSK 解调采用改进中频差分检测<sup>[5]</sup>, 其检测框图如图 2 所示。

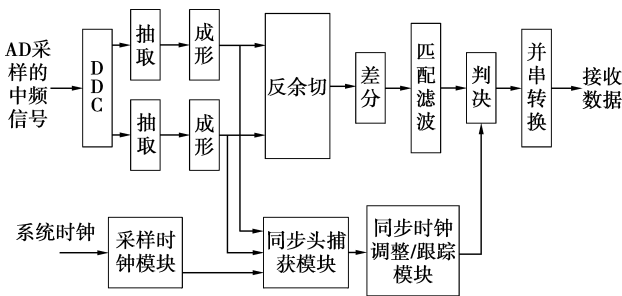


图 2 中频差分检测框图

从图 2 可知, 较之传统的中频差分检测结构<sup>[6-7]</sup>, 没有同步头捕获和同步时钟调整/跟踪部分, 在 FPGA 设计中, 为了缩短同步时钟建立时间, 将成形后的  $I$ 、 $Q$  向量同时送入同步头捕获模块, 根据 BTR 码 (“1010...”) $\theta(t) - \theta(t-2T_s) = -\frac{\pi}{2}$  的特点, 按照式(4)、(5),  $Amp(k)$  通过平方后累加,  $Acq_i(k)$ ,  $Acq_q(k)$  和  $Amp(k)$  值在 BTR 期间都将迅速增加, 对于噪声和其它随机信号,  $Acq_i(k)$  和  $Acq_q(k)$  都趋于 0。用 VHDL 语言设计, 每个采样区有 10 个采样点, 按照数学式(4)的方法, 将  $I$  通道每一个采样区 (即 10 个采样点) 中第 5 个采样点记录, 然后间隔一个采样区后, 在相邻 2 个采样区后又记录第 5 个采样点数据, 将前后 2 个记录的采样点相乘, 再和下一组相乘的值相加, 然后求其平方。以此类推, 将每次求得的  $I$  路和  $Q$  路按照数学式  $Amp(k) = Acq_i^2(k) + Acq_q^2(k)$  计算, 然后判断  $Amp(k) > Amp(k-1)$ , 以  $L=48$  bit 为例, 需连续判断 23 次。采用 VHDL 程序设计, 如果是 BTR 码则能量线形递增特性, 从而

捕获同步头。

捕获到同步头后, 根据位同步跟踪和调整原理快速调整位同步时钟, 其实现方法仍将 10 个采样点作为一个采样区, 用 VHDL 语言设计, 按照式(6)的方法, 将  $I$  通道每一个采样区 (即 10 个采样点) 中每个采样点记录, 仍然采用类似与能量递增的方法, 获取 10 个采样点中能量最高的采样点值, 比如在连续读取 48 bit 的 BTR 码 (“11001100...” ) 后, 在 10 个采样点中判断出第 3 采样点处,  $I$  路和  $Q$  路累加平方和的值最大, 则调整位同步时钟, 这样可以快速精确地实现同步时钟的调整和跟踪<sup>[8]</sup>。

## 3 设计测试

### 3.1 接收端时钟模块

对全局信号 40.96 MHz 进行 8 分频, 获取 5.12 MHz 时钟, 由于  $I$ 、 $Q$  分路处理, 设计 requirements 是 1 024 Kbits/s, 则串/并变换后的每路速率为 512 Kbits/s, 用 5.12 MHz 时钟, 就是每 1 个符号用 10 个采样时钟 (5.12 MHz) 采样, 以确保采样精度。

时钟模块的设计就是分频计数器模块的设计<sup>[9-13]</sup>, 设计采用等占空比波形输出。

### 3.2 接收端同步头捕获模块

根据设计原理, 由于同步头是 “110011001100.....” 的训练序列, 假设 BTR 码  $L=48$  bits, 用  $\pi/4$ -DQPSK 调制方式, 而符号发送端映射模式如图 3 所示。

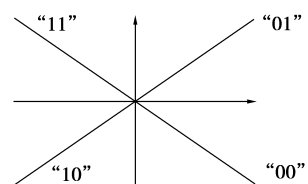


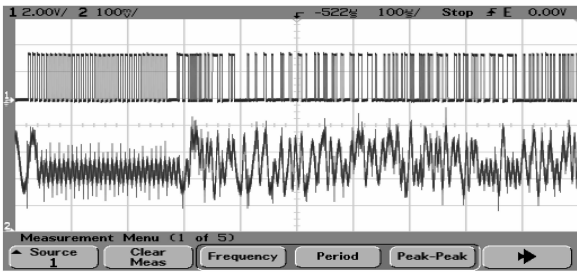
图 3 符号映射模式图

经过 D/A 输出后观察到的测试波形如图 4 所示。

根据 2.1 的同步原理,  $Acq_i(k)$ ,  $Acq_q(k)$  和  $Amp(k)$  在 BTR 期间都将迅速增加, 对于噪声和其它随机信号,  $Acq_i(k)$  和  $Acq_q(k)$  都趋于 0。由于同步头的波形特征非常明显, 所以捕获软件方案按照其数学原理编写 VHDL 程序。

### 3.3 同步时钟调整模块和跟踪模块

在每 10 个 CLK 采样点中, 记录相关数据, 然后对所采集到的数据进行平方和累加, 当采样一定长度的符号后, 将采样数值平方后累加 (分别对应  $I$  和  $Q$  路) 即  $i^2 + q^2$ , 找到其最大值位置, 然后调整位同步时



注:上面显示发送数据,下面显示对应的 I 路调制波形

图 4 发送端同步头是“110011001100……”

的训练序列的调制波形

钟(此处的时钟为 512 KHz),在调整位同步时钟时不改变位同步时钟的频率,只改变位同步时钟的相位,使得时钟上升沿正对数据位中间,以到达最佳同步关系,即每个时钟上升沿都能正确对应所接收到的数据位。其处于调整的时钟波形如图 5 所示。

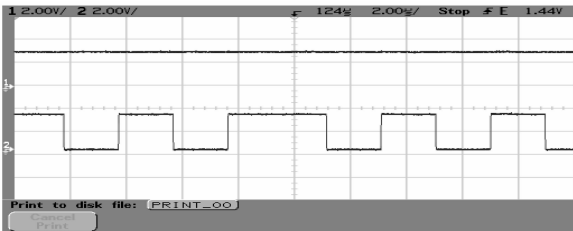
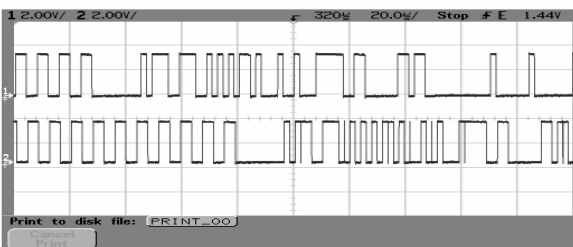


图 5 通道 2 正在调整的位同步时钟波形

### 3.4 同步测试结果

用 FPGA 实现位定时捕获和位定时跟踪算法,有以下几个优点:1)捕获周期较短(24 个符号位);2)有利于缩短报头长度;3)可以为报头独特码的检测提供比较准确的位定时时钟;4)观察区间长,降低假同步概率;5)在信噪比较低的情况下,位同步捕获和位同步抖动的误差变化较缓慢。

最后通过射频调制解调后,将发端数据和收端恢复数据做对比,其测试结果如图 6 所示。



注:上面为发端数据,下面为收端数据

图 6 在射频调制解调后发端和收端数据对比的测试结果

## 4 结 论

设计基于 FPGA 技术和软件无线电方法实现  $\pi/4$ -DQPSK 突发信号的快速位同步捕获和跟踪算法,与传统  $\pi/4$ -DQPSK 的位定时和跟踪算法相比

具有捕获周期短,位定时准确,抗干扰能力强,系统设计灵活等优点,特别是不受或基本不受频差影响,适合于高传输码率的跳频通信接收系统应用。

### 参考文献:

- [1] 赵杭生,甘仲民,屈德新.  $\pi/4$ -DQPSK 调制的快速位同步捕获和位同步跟踪[J]. 电子学报,1999,27(4):24-27.  
ZHAO HANG-SHENG, GAN ZHONG-MIN, QU DE-XIN. Symbol timing rapid acquisition and tracking for  $\pi/4$ -DQPSK signals [J]. Acta Electronic Sinica, 1999,27(4):24-27.
- [2] 胡云,赵林靖,李建东. 软件无线电中  $\pi/4$ -DQPSK 突发信号位定时算法[J]. 电子科技,2005(6):2-4.  
HU YUN, ZHAO LIN-JING, LI JIAN-DONG. A symbol timing acquisition algorithm for burst-mode  $\pi/4$ -DQPSK in software radio system[J]. IT Age, 2005(6):2-4.
- [3] 宋祖顺,宋晓勤. 现代通信原理[M]. 北京:电子工业出版社,2007.
- [4] 段吉海,黄智伟. 基于 CPLD/FPGA 的数字通信系统建模与设计[M]. 北京:电子工业出版社,2004.
- [5] 郭梯云,杨家玮,李建东. 通信工程丛书:数字移动通信[M]. 北京:人民邮电出版社,2001.
- [6] MARVIN K, DARIUSH DIVSALAR. Doppler-corrected differential detection of MPSK [J]. IEEE Transaction on Communications, 1989,37(2):99-109.
- [7] 杨永齐,朱长根,冯文江. 高速突发模式下  $\pi/4$ -DQPSK 的相位捕获和跟踪[J]. 重庆大学学报,2007,30(5):54-57.  
YANG YONG-QI, ZHU CHANG-GEN, FENG WEN-JIANG. Phase acquisition and carrier tracking scheme for  $\pi/4$ -DQPSK high rate burst communication system [J]. Journal of Chongqing University,2007,30(5):54-57.
- [8] BUDA R D. Coherent demodulation of frequency-shift keying with low deviation ratio [J]. IEEE Trans on Communication,1972(7):21-26.
- [9] GOODE S H, KAZECKI H L, DENNIS D W. A comparison of a limiter-discriminator, delay and coherent detection for  $\pi/4$ -DQPSK[J]. IEEE Vehicular Technology Conf. ,1990(5):687-694.
- [10] LIU C L, FEHER K.  $\pi/4$ -DQPSK modems for satellite sound/data broadcast systems[J]. IEEE Transactions on Broadcasting,1991,37(1):1-8.
- [11] SIMON M K, WANG C C. Differential detection of gaussian MSK in a mobile radio environment[J]. IEEE Transactions, 1984,33(4):34-36.
- [12] WEBB W T. Modulation methods for PCNS[J]. IEEE Communication Magazine, 1992(12):28-32.
- [13] CHIA LIANG LIU, FEHER K.  $\pi/4$ -QPSK modems for satellite sound/data broadcast systems[J]. IEEE Transactions on Broadcasting, 1991,37(1):23-25.

(编辑 侯 湘)