

文章编号:1000-582X(2009)11-1274-06

电阻抗成像中高速高精度数字相敏检波器设计

何 为,何传红,刘 斌

(重庆大学 输配电装备及系统安全与新技术国家重点实验室,重庆 400030)

摘 要:电阻抗成像对测量系统的精度和速度都有较高要求,为此研制了基于现场可编程门阵列(field programmable gate array, FPGA)的数字相敏检波器(digital phase-sensitive detector, DPSD)用于电阻抗成像的数据测量。在分析 DPSD 原理的基础上,推导出信噪比与采样点数和采样分辨率的关系。给出了测量系统的实现方案,提出了基于直接数字频率合成(direct digital synthesis, DDS)技术的模数转换器(analog-to-digital converter, ADC)时钟设计方法。采用高速多通道 ADC 芯片,辅以低抖动 ADC 时钟电路,最终由 FPGA 实现实时 DPSD 算法。实验测试结果显示,测量准确度可达 0.03%,系统信噪比可达 85dB。琼脂模型成像实验证明其性能可以较好地满足电阻抗成像的要求。

关键词:电阻抗成像;数字相敏检波器;信噪比;现场可编程门阵列

中图分类号:TM930

文献标志码:A

High-speed, high-precision digital phase-sensitive detector design for electrical impedance tomography

HE Wei, HE Chuan-hong, LIU Bin

(State Key Laboratory of Power Transmission Equipment & System Security and New Technology, Chongqing University, Chongqing 400030, P. R. China)

Abstract: Electrical impedance tomography (EIT) system must have the properties of high precision and speed, thus the digital phase-sensitive detector (DPSD) based on the field programmable gate array (FPGA) is developed for data collection of EIT. Based on the principle of DPSD, the relationship between signal-to-noise ratio (SNR) and sample resolution as well as total number of samples is deduced. An implementation scheme of this system and a method of designing analog-to-digital converter (ADC) clock based on direct digital synthesis (DDS) technology are provided. The system adopts high-speed multi-channel ADC and low jitter clock conditioner for ADC. Real-time DPSD is implemented with FPGA. The experiments show that the measurement accuracy reaches 0.03% and the SNR reaches 85 dB. The agar phantom experiments prove that the performance of the DPSD meet the designing requirement for EIT.

Key words: electrical impedance tomography (EIT); digital phase-sensitive detector (DPSD); signal-to-noise ratio (SNR); field programmable gate array (FPGA)

收稿日期:2009-06-15

基金项目:国家高技术研究发展计划(863 计划)资助项目(2006AA02Z4B7);中俄国际合作项目(ISCP 2007DFR30080)

作者简介:何为(1957-),男,重庆大学教授,博士生导师,主要从事电磁场理论、生物电磁场、新型成像原理及其数字化医疗仪器的研究。(Tel)023-65105242,(E-mail) hewei@cqu.edu.cn.

电阻抗成像(electrical impedance tomography, EIT)是一种通过在被测对象表面注入电流并测量电压或以电压激励并测量电流来获取被测对象内部电导率(电阻抗)分布信息的成像技术。它具有简便、无创、低造价等优势,并具有功能成像及动态图像监护的优点^[1]。EIT 图像重构具有病态性^[2],被测物体电导率分布改变较大的时候,边界测量电压值的改变却很小,这就对 EIT 测量系统的精度提出了很高的要求。

电阻抗成像测量系统主要由恒流源、电极阵列及开关、信号调理、通常由现场可编程门阵列(field programmable gate array, FPGA)或数字信号处理器(digital signal processor, DSP)实现的数字相敏检波(digital phase-sensitive detector, DPSD)等部分构成。测量流程通常为:选择电流注入与流出电极,由被测对象的特性决定电流的回流路径,然后测量某选定电极对上边界电压信号的幅值与相位。为实现精确测量,需要采用高精度的相敏解调器。相敏解调器等效于通讯技术中的匹配滤波器,其对混合甚至是湮没在加性白噪声中信号的检测能达到最高的输出信噪比(signal-to-noise ratio, SNR)^[3]。早期 EIT 系统都采用低精度、低信噪比的模拟检波器。为保证测量精度,笔者研究的 EIT 系统采用新的数字相敏检波技术。这也是近年来被国际上各 EIT 研究小组广泛采用的测量技术,比如韩国庆熙大学研究小组^[4-6]、美国达特茅斯研究小组^[7-8]、美国仁斯利尔理工大学(Rensselaer Polytechnic institute, RPI)研究小组^[9-11]、英国牛津布鲁克斯大学(Oxford Brookes university, OBU)研究小组^[12]以及英国伦敦大学学院(university college London, UCL)研究小组^[13]等。尽管基于相同的原理,但各研究小组的 DPSD 实现方法却不尽相同。

DPSD 是电阻抗成像系统的关键部件,其带宽与精度直接影响着系统带宽与精度。DPSD 通常需要一个输入正弦信号的同步电路,用以捕捉正弦信号的相位零点,电路本身的漂移与噪声使得相位零点会不断变化,而使检测出来的相位不稳定。针对这种方法的不足,笔者提出基于直接数字频率合成(direct digital synthesis, DDS)的采样控制方案,由 FPGA 内部设计 DDS 模块作为激励源,取与其正弦信号同步的 DDS 内部累加信号作为采样控制信号,其准确度要优于传统方案。并且由于采用高速 ADC 和 FPGA,系统灵活性大大增强。最后通过实验验证了所设计的电阻抗成像装置能达到较高的测量精度、速度与准确度。

1 数字相敏检波原理

1.1 工作原理

数字相敏检波器原理如图 1 所示,待检波信号经 ADC 离散化后为 $V_{in}(n)$,由于有源器件、电源噪声以及各种外界噪声的影响,被测信号为含有多种噪声的正弦波信号。

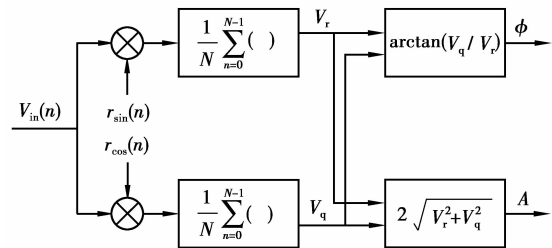


图 1 DPSD 原理框图

对被测模拟信号等间隔采样,每周期采样点数为 N ,采样离散化后的信号为

$$V_{in}(n) = A \sin(2\pi n/N + \varphi) + \zeta(n) + q(n), \quad (1)$$

式中: A 为信号幅值; φ 为信号相位; $\zeta(n)$ 为具有白噪声和高斯噪声分布的随机噪声; $q(n)$ 为 ADC 的量化噪声。而正弦参考信号可由序列表示

$$r_{\sin}(n) = \sin(2\pi n/N) + \mu(n),$$

其中 $\mu(n)$ 为由有限字长效应引起的量化误差。

对 $r_{\sin}(n)$ 和 $V_{in}(n)$ 作互相关运算有

$$\begin{aligned} V_r &= \frac{1}{N} \sum_{n=0}^{N-1} V_{in}(n) \cdot r_{\sin}(n) = \\ &= \frac{1}{N} \left\{ \sum_{n=0}^{N-1} \left[-\frac{A}{2} \cos(4\pi n/N + \varphi) + \frac{A}{2} \cos \varphi \right] + \right. \\ &\quad \sum_{n=0}^{N-1} A \sin(2\pi n/N + \varphi) \cdot \mu(n) + \\ &\quad \sum_{n=1}^{N-1} \sin(2\pi n/N) \cdot [\zeta(n) + q(n)] + \\ &\quad \left. \sum_{n=0}^{N-1} [\zeta(n) + q(n)] \cdot \mu(n) \right\}. \quad (2) \end{aligned}$$

因本系统选用 12 位的 ADC,参考信号采用 32 位数据格式,故忽略参考信号量化噪声对系统的影响,那么

$$\sum_{n=0}^{N-1} [\zeta(n) + q(n)] \cdot \mu(n) = 0.$$

因正弦信号与 $\zeta(n)$, $q(n)$, $\mu(n)$ 等随机信号不相关,所以式(2)中有

$$\sum_{n=0}^{N-1} A \sin(2\pi n/N + \varphi) \cdot [\zeta(n) + q(n)] = 0$$

及
$$\sum_{n=1}^{N-1} A \sin(2\pi n/N + \varphi) \cdot \mu(n) = 0.$$

故

$$V_r = \frac{A}{2} \cos \varphi. \quad (3)$$

同理,当参考信号为余弦信号时有

$$V_q = \frac{A}{2} \sin \varphi, \quad (4)$$

其中 V_r 称为同相分量,而 V_q 称为正交分量,通过这两个分量就可以准确求出被测信号的幅值与相位。

$$\left. \begin{aligned} \hat{A} &= 2 \sqrt{V_r^2 + V_q^2}, \\ \hat{\varphi} &= \arctan \frac{V_q}{V_r}. \end{aligned} \right\} \quad (5)$$

由以上论述可知,DPSD 对于混合在强噪声中的微弱信号也可有效估计出幅值和相位。由文献[14]的理论分析可知,该方法为无偏、一致的估计。

1.2 噪声性能

分析图 1 所示 DPSD 的噪声性能时,暂时不考虑外部其他噪声的影响,则其内部各部件的量化噪声为需要考虑的对象。由于相乘、累加等数据处理均在 DSP 或是 FPGA 中进行,其数据位宽远大于 ADC 的分辨率位数,所以主要的噪声源为 ADC 的量化噪声。

式(3)中同相分量 V_r 的 SNR 定义为无量化噪声时的均方值与量化噪声均方值之比。对于一个 v 位 ADC 来说,设 $x(n)$ 为量化前的输入信号, $\tilde{x}(n, v)$ 为量化后的信号,量化误差定义为 $e_q(x; n, v) \equiv x(n) - \tilde{x}(n, v)$,其均方值则为

$$E[(e_q(x; n, v))^2](v) = \frac{1}{12} \frac{(FS)^2}{4^v}. \quad (6)$$

式中 FS 表示 ADC 的满量程输入值,由此 $SNR_r =$

$$10 \log \frac{\left[\sum_{i=0}^{N-1} (V_{in}(i) |_{q(i)=0} \cdot \sin \frac{2\pi i}{N}) \right]^2}{E \left[\left(\sum_{i=0}^{N-1} (V_{in}(i) |_{q(i)=0} - \tilde{V}_{in}(i, v)) \cdot \sin \frac{2\pi i}{N} \right)^2 \right]}.$$

不考虑随机噪声 $\zeta(n)$,SNR 可简化为

$$SNR_r = 10 \log \left[6N4^v \left(\frac{A}{FS} \cos \varphi \right)^2 \right]. \quad (7)$$

同理可得正交分量 V_q 的 SNR 为

$$SNR_q = 10 \log \left[6N4^v \left(\frac{A}{FS} \sin \varphi \right)^2 \right]. \quad (8)$$

对于确定的 N, v ,当 $A=FS$ 时,同时 $\varphi=0^\circ$ 或是 $\varphi=90^\circ$,SNR 有最大值。因此为使系统达到目标为 Γ 的 SNR,应按下式选定采样点数 $N^{[9]}$

$$N \geq \frac{1}{6} 4^{-v} 10^{\Gamma/10}. \quad (9)$$

2 系统设计与实现

2.1 测量系统结构

笔者研究用 EIT 系统硬件结构如图 2 所示。设计中的正弦信号恒流源频率范围在 1 kHz ~ 1 MHz,通过电极阵列开关,拾取两电极间的微弱电压信号,经低噪声电压控制增益放大器(AD8331, ADI Inc)进行信号放大,输入到采样率高达 65MS/s、分辨率为 12 位的 A/D 转换器 AD9228 (ADI Inc)。ADC 采样时钟由 FPGA 内部逻辑控制产生,并在 FPGA 内实现相敏检波的计算。基于相敏检波技术和电阻抗成像理论设计的电阻抗成像测量仪如图 3 所示。

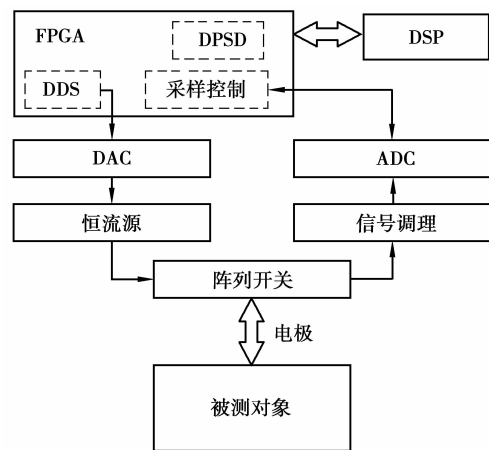


图 2 EIT 测量系统原理框图



图 3 采用 DPSD 技术实现的 EIT 测量仪

2.2 参考信号

DPSD 计算出的相位值是输入信号 $V_{in}(n)$ 和参考信号 $r(n)$ 之间的相位差。通常有内参考和外参考两种方式。内参考即是直接调用存储在 DPSD 模块内部的参考信号序列,勿需从外部获取参考信号。外参考正好相反,参考信号通过某种途径从外部得到,一种常用的做法是使输入正弦交流信号通过过零比较,产生一个与输入信号同相位的方波来作为 DPSD 的参考信号。但此方法易受电路噪声影响,使得过零比较不准确,在过零处产生相位抖动,从而造成检测出来的幅度和相位值在一定误差范围内抖动,降低了系统的信噪比。

本设计采用内参考方式,直接用正弦和余弦信号序列作为参考信号。因此,参考信号不是实际存在于电路中的信号,其初始相位总是 0,无法提供一个实际的相位参考点。本系统在 FPGA 内设计了 DDS,经 DAC 产生正弦信号作为激励信号。如图 4 所示,DDS 内部相位累加信号与正弦信号存在严格的时序关系,因此可将内部相位累加信号输出作为 ADC 采样时钟,可避免相位计算误差。DDS 相位累加器最高位 $\text{Addr}[M-1]$ 与正弦波频率一致, $\text{Addr}[M-1]$ 上升沿即对应正弦波的相位零点,若 1 周期要采样 8 个点,输出 $\text{Addr}[M-3]$ 即可。这样,DDS 产生的数字正弦波的相位才是真正的相位参考点,由于 DAC 转换延迟时间很小,测试中为方便操作通常也可以用 DAC 输出的正弦波相位作为参考。

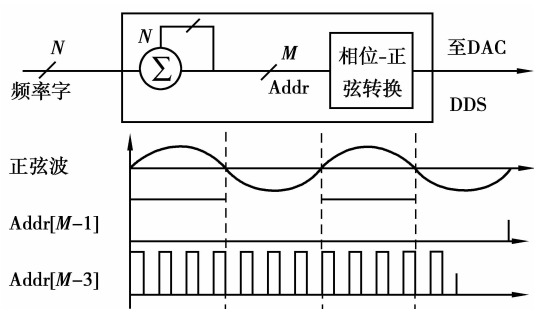


图 4 DDS 内部信号与正弦信号关系

2.3 ADC 时钟

由 FPGA 的输入输出 (IO) 口输出的时钟信号抖动 t_{jitter} 约有上百皮秒,若不加处理,直接将此信号作为 ADC 转换的时钟信号,会使系统的 SNR 大大下降,直接影响系统的精度。 t_{jitter} 为时钟抖动的均方根有效值,输入信号的频率为 f_{analog} ,则 ADC 输出的 SNR 最高为^[15]

$$\text{SNR} = 20 \log(2\pi f_{\text{analog}} t_{\text{jitter}})。 \quad (10)$$

为了消除时钟抖动对系统的影响,FPGA 输出的信号经过专用的高性能时钟抖动清除器 LMK03000C(NSC)处理再送到 ADC,可将时钟抖动降至 800fs,即使 $f_{\text{analog}} = 1 \text{ MHz}$,其 SNR 也可高达 105 dB。

2.4 非均匀采样

上述对 DPSD 噪声性能的讨论基于一个隐含的假设,即所有用于计算的 N 点数据都是在正弦信号的 1 个周期内采样而得,这在具体的实现中面临技术上的制约。假设输入信号频率为 100 kHz,若采样点数 $N = 256$,则采样率为 25.6 MS/s,已经属于高速采样。若信号频率提高到 1 MHz,仍按 256 点

采样,则采样率需要 256 MS/s,实现难度就很大了。由上面的分析可知,影响 DPSD 信噪比的关键参数是 ADC 的分辨率和采样点数,如果按这种单周期采样的工作模式,受限于 ADC 的采样率和分辨率,DPSD 只能对较低频率的信号才能实现较高的 SNR 指标。

为降低对 ADC 采样率的要求,可以对多个信号周期采样得到 N 个采样值,如果采样率低于通常所说的 Nyquist 频率,则称为欠采样(undersampling)。但这不能简单地使用均匀采样来实现,因为这样会破坏前面分析中量化噪声不相关的假设,从而无法达到预期的 SNR 指标。比如,采样点数 $N = 8$,如果在 1 个周期内采样,则 8 个采样点分别位于 $0^\circ, 45^\circ, 90^\circ, 135^\circ, 180^\circ, 225^\circ, 270^\circ$ 和 315° ;如果分成 2 个周期均匀采样,则采样点位置为 $0^\circ, 90^\circ, 180^\circ, 270^\circ$ (周期 1) 和 $0^\circ, 90^\circ, 180^\circ, 270^\circ$ (周期 2)。由此可见,2 个周期采样点的相位是重复的,所以不满足量化噪声不相关的假设。

通常有两种方法来克服上述问题。其一是使每一周期采样整数个点,而不同周期的采样点整体平移一定的相位。如果每周期采样 K 点,总共采样 M 个周期得到 $N = K \times M$ 个点,则周期期间的相移量为 $2\pi/N$ 。

图 5 以一个简单的实例说明了这一思想。图中每周期采样 4 点,采样 2 个周期,则周期期间的相移量为 $2\pi/8 = \pi/4$,所以第 1 个周期采样位置为 $0, \pi/2, \pi$ 和 $3\pi/2$,而第 2 个周期采样位置为 $\pi/4, 3\pi/4, 5\pi/4$ 和 $7\pi/4$,这样就等效于在 1 个周期中不同位置采样了 8 个点。这种方法实现较为简单,为设计所采用。第 2 种方法是使每一周期的采样数为非整数,需保证采样频率和信号频率可约分至互为质数,这样能达到与第 1 种方法类似的效果。

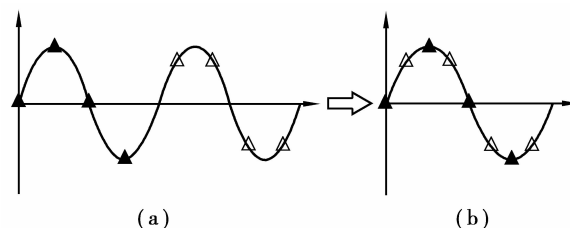


图 5 周期移相非均匀采样

2.5 基于 FPGA 的 DPSD 实现

由于每次相敏检波计算中所用采样点数都有上千个点,如果先采集全部样本点后再进行处理,系统难以满足实时性的要求,为此采用了如下的流水线

算法^[16]

$$V_r^k = \sum_{n=0}^{k-1} V_{in}(n) \cdot \sin\left(2\pi \frac{n}{N}\right),$$

$$V_q^k = \sum_{n=0}^{k-1} V_{in}(n) \cdot \cos\left(2\pi \frac{n}{N}\right),$$

则有如下递推公式用于流水线计算

$$V_r^n = V_r^{n-1} + \sin\left(2\pi \frac{i}{N}\right) \cdot V_{in}(i),$$

$$V_q^n = V_q^{n-1} + \cos\left(2\pi \frac{i}{N}\right) \cdot V_{in}(i).$$

累加器在 DPSD 时钟作用下每次采样后计算 V_r^n 、 V_q^n 值,当采样进程到达 $N \times M$ 时,由数字信号处理器(digital signal processor, DSP)读取累加值,即可计算出 V_r 和 V_q

$$\left. \begin{aligned} V_r &= V_r^{N \times M-1} / (N \times M), \\ V_q &= V_q^{N \times M-1} / (N \times M). \end{aligned} \right\} \quad (11)$$

进而根据式(5)可计算出幅值 A 与相位 φ 。

上述采样和累加同步进行的 DPSD 算法可保证测量的速度。由于 FPGA 的累加操作和 DSP 对最终结果的计算速度都很快,所以测量速度取决于 ADC 的转换速率。笔者采用的 ADC 芯片 AD9228 最高转换速率可以达到 65 MS/s,为取得较为优化的性能,通常应用在 30 MS/s 以下。采用 20 MS/s 左右的转换速率,则每次采样的时间为 50 ns,如果每次 DPSD 计算的采样点数为 1 000,则完成一次 DPSD 计算的时间为 50 μ s,在不考虑其他因素的情况下,每秒可以完成 20 000 次 DPSD 计算,能满足 EIT 对测量速度的要求。当然,整个 EIT 测量系统的速度并不仅仅取决于 DPSD 模块的速度,还与诸如输入信号频率、开关切换的暂态过程等因素有关。

根据上述流水线思想设计 FPGA 程序,其中的 DPSD 模块结构如图 6 所示。DSP 通过串行外设接口(serial peripheral interface, SPI)与 FPGA 通信,设定每周期的采样点数 N 和每次相敏检波的采样周期数 M 。DSP 产生 DPSD 计算的启动信号,高电

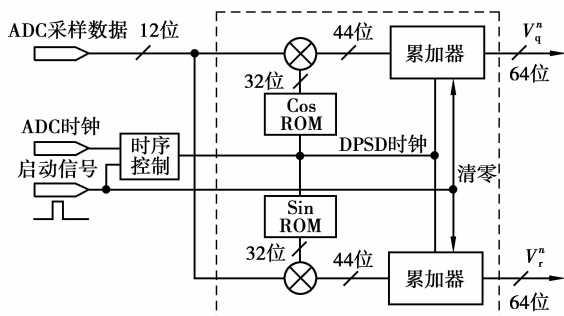


图 6 FPGA 内 DPSD 模块

平持续时间约 50 μ s。FPGA 内的时序控制模块识别出此信号的下降沿后,待正弦信号相位零点到来时产生 DPSD 时钟。

参考信号存放于 FPGA 的只读存储器(read only memory, ROM)中,这种方法具有高精度,无噪声且灵活等优点。为实现高精度计算,参考信号全部采用 32 位数据宽度表示,在 DPSD 时钟的作用下与 ADC 采样数据相乘,ADC 数据采用二进制补码形式。乘法器输出 44 位宽度的信号到累加器求和,为防止累加器溢出,累加器采用 64 位数据宽度,使计算结果无截位误差。

3 实验结果

3.1 测量准确度测试

按照以上方法设计实现了数字相敏检波器,并进行了测试,被测信号由仪器本身经 DDS 产生,输入的幅值与相位都经过校准。由表 1 可以看出仪器在量程范围内的误差在 0.03% 左右,可以满足电阻抗成像对仪器测量准确度的要求。

表 1 相敏检波结果

输入值 A/V	输入值 $\varphi/(^\circ)$	测量值 \hat{A}/V	测量值 $\hat{\varphi}/(^\circ)$
1.000 000	20.000	1.000 3	20.002
0.500 000	90.000	0.500 2	90.004

3.2 系统信噪比测试

系统测量的 SNR 是 EIT 测量仪器的重要性能指标。对某对电极上的差分电压测量 K 次,获得测量幅值 $A(k)$, $k=1, 2, \dots, K$, SNR 定义为 K 次测量值的均方值与方差值之比^[9]

$$\text{SNR} = 10 \log \frac{\sum_{k=1}^K (A(k))^2}{\sum_{k=1}^K (A(k) - \bar{A})^2}, \quad (12)$$

其中 \bar{A} 为 $A(k)$ 的平均值。

测试时电流从 1 号电极注入,2 号电极流出,注入电流峰值为 0.5 mA。选择 7,8 号电极间的电压差信号为测量信号。在信号频率 $f=100$ kHz、测量次数 $K=1 000$ 情况下,测试了不同的 N 和 M 值情况对系统 SNR 的影响。

实验结果如图 7 所示,每周期采样点数越大,系统的 SNR 越高,可达 85 dB。一次相敏检波中采样周期数越多,SNR 就越好,这是因为采样周期数多,相当于对测量数据作了平均处理,自然会提高系统

的 SNR。

由图 8 可以看出注入频率与系统 SNR 的关系,系统注入频率在高达 1 MHz 时,SNR 值严重下降,这是因为在高达 1 MHz 的注入频率时,电极阵列开关与被测物体间的分布电容容抗与分布电感感抗增加,各个通道间的信号耦合与干扰增强,由于这种干扰是同频率的干扰,相敏检波对此无法抑制。图 8 的数据并不完整,这是由于被测信号频率与每周期采样点数 N 的乘积应小于 ADC 采样率的约束所致,但这并不影响对结果的分析。

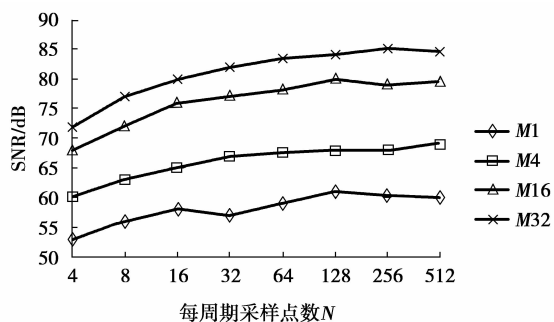


图 7 不同 N, M 情况下的系统 SNR

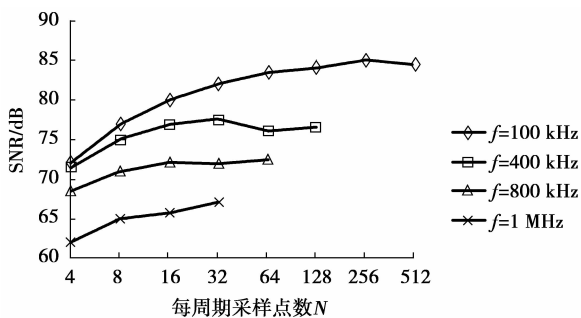


图 8 不同注入频率时的系统 SNR

3.3 琼脂模型成像实验

以 DPSD 为核心的 EIT 测量仪配合笔者开发的 EIT 成像软件,对琼脂模型做了双目标成像试验。图 9(a)为琼脂实验模型的俯视照片,在背景电导率为 100 mS/m 琼脂模型里放置了电导率分别为 20 mS/m 和 500 mS/m 的块状物作为成像目标,相互间距 5 cm,顶部离表面为 2 cm。实验时,测量探头直接放在琼脂模型上,电极阵列与模型表面接触,成像目标位于电极阵列的正下方。

图 9(b)为成像结果,所成图像为黑白灰度图,浅色代表低电导率,深色代表高电导率。成像图中右侧为深色图像,左侧为浅色图像,与实际模型中目标的电导率分布和位置都吻合,实验中图像稳定,说明此 EIT 系统能较为清晰地分辨出实验模型中不同电导率的目标,也从最终应用的层面验证了上述 DPSD 的测量效果。

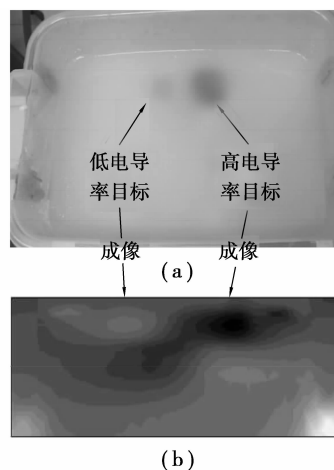


图 9 琼脂模型实验系统配置

4 结 语

论述了采用 FPGA 实现的高速、高精度数字相敏检波器在 EIT 测量系统中的设计。系统采用 FPGA 实现数字相敏检波(DPSD)算法,不需产生模拟的参考信号,电路设计简化,且可通过 FPGA 实现滤波、校准算法来提高系统的精度和抗干扰性能。同时,在 FPGA 内设计的直接数字频率合成模块(DDS)经 DAC 和恒流源产生激励电流信号,ADC 时钟取自于 DDS 模块内的信号,保证了被测信号、激励信号与参考信号的相位同步,使得系统测量的精确度显著提高。对系统的测试分析表明,该系统可以达到 85dB 的系统信噪比。基于琼脂模型的成像实验结果稳定,可较为清晰地识别被测对象内的异物目标,所研究的数字相敏检波器性能达到了电阻抗成像技术中对系统测量精度、速度和稳定度的要求。

参考文献:

- [1] ABASCAL JF P J, ARRIDGE S R, BAYFORD R H, et al. Comparison of methods for optimal choice of the regularization parameter for linear electrical impedance tomography of brain function [J]. *Physiological Measurement*, 2008, 29(11): 1319-1334.
- [2] HOLDER D S. *Electrical Impedance Tomography Methods, History and Applications*[M]. London: IOP publishing Ltd, 2005.
- [3] MCEWAN A, CUSICK G, HOLDER D S. A review of errors in multi-frequency EIT instrumentation[J]. *Physiological Measurement*, 2007, 28(7): s197-s215.
- [4] TONG I O, EUNG J W, HOLDER D S. Multi-frequency

(下转第 1290 页)

- effects in interior permanent magnet synchronous motor[J]. IEEE Transactions on Industry Application, 2003, 39(5): 1264-1271.
- [5] 刘长红,姚若萍,刘彤彦. 变频调速永磁同步电机电抗参数的研究[J]. 大电机技术, 2003(5): 1-5.
LIU CHANG-HONG, YAO RUO-PING, LIU TONG-YAN. Study of the reactance parameters of permanent magnet synchronous motors in variable frequency system [J]. Large Electric Machine and Hydraulic Turbine, 2003(5): 1-5.
- [6] KWAK Y, KIM J K, JUNG H K. Characteristic analysis of multilayer-buried magnet synchronous motor using fixed permeability method[J]. IEEE Transactions on Energy Conversion, 2005, 20(3): 549-555.
- [7] 张飞,唐任远,陈丽香,等. 永磁同步电动机电抗参数研究[J]. 电工技术学报, 2006, 21(11): 7-10.
ZHANG FEI, TANG REN-YUAN, CHEN LI-XIANG, et al. Study of the reactance parameters of permanent magnet synchronous motors [J]. Transactions of China Electrotechnical Society, 2006, 21(11): 7-10.
- [8] 唐任远,等. 现代永磁电机理论与设计[M]. 北京: 机械工业出版社, 1997.
- [9] ZIVOTIC-KUKOLJ V, SOONG W L, ERTUGRUL N. Modelling of saturation and cross-saturation effects in an interior PM automotive alternator[J]. Australian Journal of Electrical & Electronics Engineering, 2005, 2(3): 209-216.
- [10] HU J H, ZOU J B, LIANG W Y. Finite element calculation of the saturation DQ-Axes inductance for a direct-drive PM synchronous motor considering cross-magnetization [C]// The 5th International Conference on Power Electronics and Drive Systems, November 17-20, 2003, Singapore. [S. l.]: PEDS, 2003: 677-681.
- [11] LEVI E, LEVI V A. Impact of dynamic cross saturation on accuracy of saturated synchronous machine models [J]. IEEE Transactions on Energy Conversion, 2000, 15(2): 224-230.
- [12] LEVI E. Saturation modeling in d-q axis models of salient pole synchronous machines [J]. IEEE Transactions on Energy Conversion, 1999, 14(1): 44-50.
- [13] EL-SERAFI A M, WU J. Determination of the parameters representing the cross-magnetizing effect in saturated synchronous Machines [J]. IEEE Transactions on Energy Conversion, 1993, 8(3): 333-340.
- [14] EL-SERAFI A M, ABDALLAH A S, EL-SHERBINY M K, et al. Experimental study of the saturation and the cross-magnetizing phenomenon in saturated synchronous machines [J]. IEEE Transactions on Energy Conversion, 1988, 3(4): 815-823.
- [15] BOLDEA I, NASAR S A. A general equivalent circuit (GEC) of electrical machines including cross coupling saturation and frequency effects [J]. IEEE Transactions on Energy Conversion, 1988, 3(3): 689-695.

(编辑 王维朗)

(上接第 1279 页)

- EIT system with radially symmetric architecture; KHU Mark1 [J]. Physiological Measurement, 2007, 28(7): s183-s196.
- [5] TONG I O, JEEHYUN L, JIN K S, et al. Feasibility of breast cancer lesion detection using a multi-frequency trans-admittance scanner (TAS) with 10 Hz to 500 kHz bandwidth [J]. Physiological Measurement, 2007, 28(7): s71-s84.
- [6] TONG I O, KYUNG H L, SANG M K, et al. Calibration methods for a multi-channel multi-frequency EIT system [J]. Physiological Measurement, 2007, 28(10): 1175-1188.
- [7] HALTER R, HARTOV A, PAULSEN K D. Design and implementation of a high frequency electrical impedance tomography system [J]. Physiological Measurement, 2004, 25(4): 379-390.
- [8] HALTER R, HARTOV A and PAULSEN K D. A Broadband High-Frequency Electrical Impedance Tomography System for Breast Imaging [J]. IEEE Transactions on Biomedical Engineering, 2008, 55(2): 650-659.
- [9] COOK R D, SAULNIER G J, GISSER D G, et al. ACT3: A high speed, high precision electrical impedance tomography [J]. IEEE Transactions on Biomedical Engineering, 1994, 41(8): 713-721.
- [10] LIU N. ACT4: A high-precision, multi-frequency electrical impedance tomograph [D]. Troy, New York: Rensselaer Polytechnic Institute, 2007.
- [11] SAULNIER G J, BLUE R S, NEWELL J C, et al. Electrical impedance tomography [J]. IEEE Signal Processing Magazine, 2001, 18(6): 31-43.
- [12] YUE X C, MCLEOD C. FPGA design and implementation for EIT data acquisition [J]. Physiological Measurement, 2008, 29(10): 1233-1246.
- [13] JMCEWAN A, ROMSAUEROVA A, YERWORTH R, et al. Design and calibration of a compact multi-frequency EIT system for acute stroke imaging [J]. Physiological Measurement, 2006, 27(5): s199-s210.
- [14] COOK R D. ACT3: A high speed, high precision electrical impedance tomography [D]. Troy, New York: Rensselaer Polytechnic Institute, 1992.
- [15] 宋岫,焦淑红,胡尔富. 时钟抖动和相位噪声关系的研究 [J]. 应用科技, 2006, 33(4): 1-3.
SONG SHEN, JIAO SHU-Hong, HU ER-Fu. Study of the relation between the clock jitter and phase noise [J]. Applied Science and Technology, 2006, 33(4): 1-3.
- [16] 王晓俊,周杏鹏,王毅. 精密阻抗分析仪中数字相敏检波技术研究及实现 [J]. 仪器仪表学报, 2006, 27(6): 592-595.
WANG XIAO-JUN, ZHOU XING-PENG, WANG-YI. Research and realization of DPSD technique in precision impedance analyzer [J]. Chinese Journal of Scientific Instrument, 2006, 27(6): 592-595.

(编辑 王维朗)