

文章编号:1000-582X(2010)07-035-07

数字锁相环与滤波技术在 PWM 整流器中的应用

付志红,董玉玺,朱学贵,王万宝,张 鹏

(重庆大学 输配电装备及系统安全与新技术国家重点实验室,重庆 400044)

摘要:三相电压型 SVPWM 整流器可采用基于 MATLAB 和 FPGA 的 VHS-ADC 高速数字信号处理平台建模,但建模时,三相静止坐标系到两相同步旋转坐标系的 Park 变换和两相旋转坐标系到两相静止坐标系的变换初相位不定,使变换不能顺利实现,另外,电网电压、电流采集时存在噪声,影响了系统稳定性。在常规的三相电压型 SVPWM 整流器模型基础上,增加数字锁相环以跟踪电网电压的相位和频率,增加 FIR 数字滤波器对信号进行处理,减少干扰。在 VHS-ADC 平台上设计了电压外环 PI 环节、电流内环 PI 环节和坐标变换模型。通过小功率实验,三相电压型 SVPWM 控制系统运行稳定,验证了数字锁相环和 FIR 数字滤波器应用于三相电压型 SVPWM 整流器的可行性。

关键词:整流器;VHS-ADC 平台;FIR 滤波器;数字锁相环

中图分类号: TM 461

文献标志码: A

Application of digital phase-locked loop and filtering technique in PWM rectifier

FU Zhi-hong, DONG Yu-xi, ZHU Xue-gui, WANG Wan-bao, ZHANG Peng

(State Key Laboratory of Power Transmission Equipment & System Security and New Technology, Chongqing University, Chongqing 400044, P. R. China)

Abstract: VHS-ADC high speed digital signal processing platform based on MATLAB and FPGA could be used to build three-phase voltage source rectifier with space voltage vector PWM(SVPWM). The initial phase of coordinate transformation from three phase static coordinate to two phase static coordinate which is called Park transformation and from two phase rotating reference frame to two phase static coordinate is uncertain. There existed noise in acquiring grid voltage and current. Digital phase-locked loop is added to follow the frequency and phase of grid voltage, FIR filter is added to process signal and reduce the interference. External voltage control loop, internal current control loop and the model of coordinate transformation are designed on the VHS-ADC platform. The small power experiment is conducted to verify the stability and feasibility of the control system. The experimental results show that the digital phase-locked loop and FIR digital filter can be applied to three-phase voltage source rectifier.

Key words: rectifiers; VHS-ADC platform; FIR filters; digital phase-locked loop

收稿日期:2010-02-18

基金项目:国家自然科学基金资助项目(40874094);输配电装备及系统安全与新技术国家重点实验室自主研究项目(2007DA10512709209);“211 工程”三期建设资助项目(S-09111)

作者简介:付志红(1966-),男,重庆大学教授,博士生导师,主要从事电力电子、电磁探测技术的研究,(Tel)023-65111709;(E-mail) fuzhihong@cqu.edu.cn。

电磁法探测大功率发射机进行野外勘测时,需将发电机输出整流为直流,常规的全桥整流功率因数极低,一般只达到 0.5 至 0.6,研究高功率因数三相整流器对电磁探测设备轻便化具有重要意义。PWM 整流器网侧电流为正弦波,有较快的动态响应,可实现电能双向传输,可用于取代常规的全控整流环节。PWM 调制技术包括空间矢量脉宽调制(SVPWM)、滞环电流调制和正弦脉宽调制等,其中 SVPWM 动态响应快,直流电压利用率高,可实现单位功率因数^[1-2]。

Simulink 建模的方法使设计快捷,但其离线模型应用于实际时,需用 VHDL 再次编程,需硬件工程师熟悉 VHDL,调试复杂,开发周期长。VHS-ADC 是加拿大 Lyrtech 公司基于 Simulink 和 FPGA 的高速数字信号处理平台, System Generator 是基于 FPGA 硬件平台的编译软件,可将 Simulink 模型转化为 VHDL 代码。采用 Gateway 模块将 VHS-ADC 与 Simulink 模型相连,可进行实时仿真,具有高性能、高速度的特点,节省开发成本,缩短了开发周期,比传统 FPGA 设计开发更有优势^[3]。笔者前期在 Simulink 与 VHS-ADC 平台上进行了三相电压型 SVPWM 整流器的混合建模。由于电网电压、电流初始相位难以确定,使得三相静止坐标系到两相同步旋转坐标系和两相同步旋转坐标系到两相静止坐标系的变换不能顺利实现,最终影响了系统运行的稳定性。

目前,双闭环控制的三相 PWM 整流器需要获得网侧电压的相位,而相位的捕获大都是用 DSP 的 CAPTURE 捕获过零比较器的输出脉冲来实现,是一种硬件锁相技术,这种方法在工程上容易实现,但是当网侧电压含有谐波时,准确地捕获基波正序过零点就非常困难。也有采用 MCU/DSP,以软件实现离散域的锁相环,但输出精度受 DSP 工作频率制约。FPGA 工作频率高,并行运算能力强,用硬件描述语言设计的锁相环已用于逆变器中。

在前期研究^[4]基础上,笔者设计了数字锁相环和 FIR 数字滤波器。数字锁相环使三相电压型整流器可以跟踪电网电压的相位和频率,使得三相静止坐标系到两相同步旋转坐标系和两相同步旋转坐标系到两相静止坐标系的变换可以顺利实现, FIR 数字滤波器减少了干扰,使三相电压型 SVPWM 控制系统运行更加稳定。

1 基于锁相与滤波的三相 SVPWM 整流器控制系统

如图 1 所示,基于前馈解耦控制的三相电压型 SVPWM 控制系统由电压外环 PI 环节、电流内环 PI 环节、坐标变换、数字锁相环、FIR 滤波、PWM 模块等组成^[5-8]。

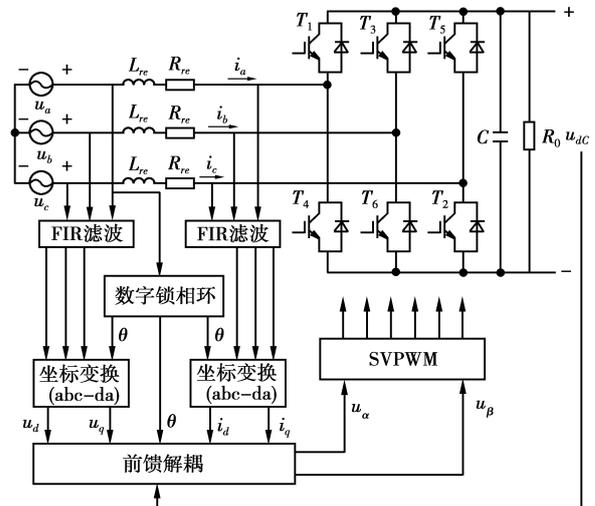


图 1 基于锁相与滤波的三相 SVPWM 整流器结构框图

三相静止坐标系到两相同步旋转坐标系的 Park 变换为

$$c_{3-2} = \frac{2}{3} \begin{pmatrix} \cos\theta & \cos(\theta-120^\circ) & \cos(\theta+120^\circ) \\ -\sin\theta & -\sin(\theta-120^\circ) & -\sin(\theta+120^\circ) \end{pmatrix}. \quad (1)$$

将 Park 变换用 System Generator 模块实现所得模型如图 2 所示, Gateway In 模块用于实现 Simulink 模型和 VHS-ADC 模型的无缝连接,可以选择多种输入/输出数据格式和数据采样频率。Park 变换的实现,要给定电网电压的初相,在 VHS-ADC 中通过搭建与电网电压同相位、频率的数字锁相环模块来实现。

2 电压及电流 PI 调节

设计的电压外环 PI 环节为

$$u(t) = K_p \left[e(t) + \frac{1}{T_i} \int e(t) dt \right], \quad (2)$$

式中: $u(t)$ 为控制量; $e(t)$ 为系统的控制偏差; T_i 为积分时间; K_p 为比例系数。

根据 PI 的离散方程构建 VHS-ADC 模型,以电压外环 PI 环节为例可得其模型^[9]如图 3 所示, Convert 为数据转换模块,将输入信号转换为合理

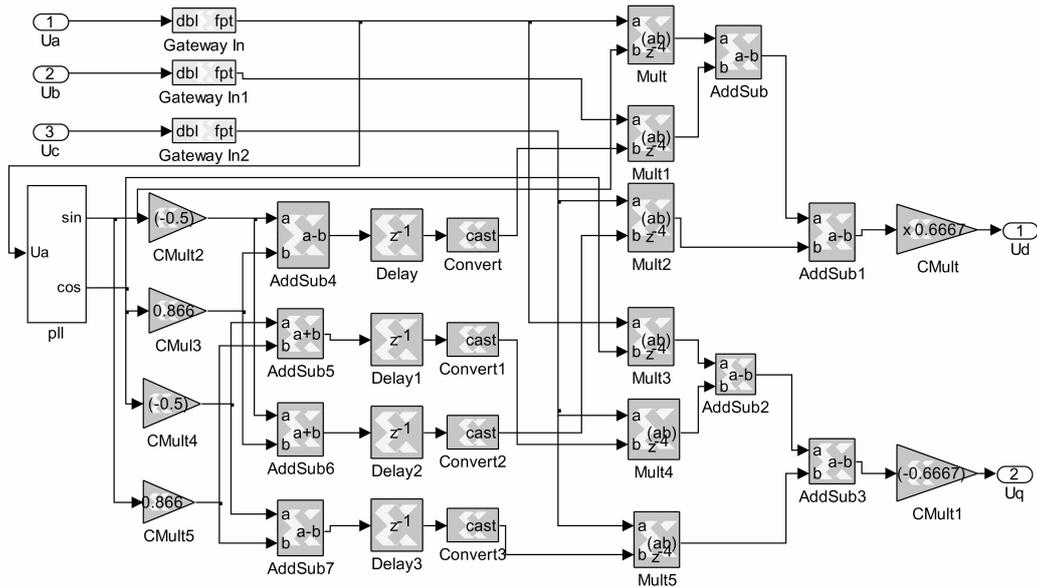


图 2 Park 变换

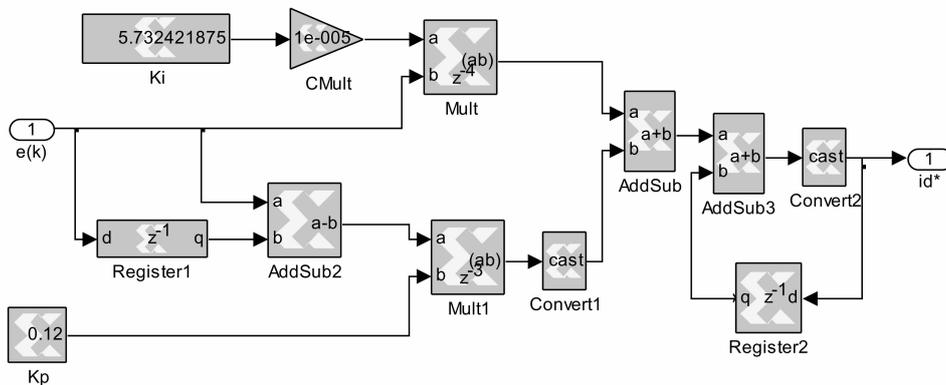


图 3 电压环 PI 环节

的数据格式(数据格式由数据位数和小数位数确定),在保证仿真精度的前提下,要尽量减小数据位数,节约硬件资源。Mult 为乘法器,实现 $e(k) \times T \times K_i$ 运算。Register2 模块将输出延迟一个周期, Register1 将输入延迟一个周期。比例环节由 Mult1 与 K_p 构成,与积分环节并行工作,通过 addsub4 得到 PI 输出。电流内环 PI 环节与电压外环 PI 环节一样,仅 PI 参数不同。

3 数字锁相环

实验中电网三相电压、电流进入 VHS-ADC 平台后,如果平台中的模型正常运行所需的相位不能与电网电压同步,则会使 Park 变换及两相旋转坐标系到两相静止坐标系的变换进行不顺利,为此,在平台中搭建数字锁相环^[10-11]。

锁相环是一个闭环相位控制系统,一般都包括鉴相器(PD)、环路滤波器(LF)和数控振荡器

(DCO)这 3 个环路基本部件^[12-13]。传统的锁相环各个部件都是由模拟电路实现的,存在温度漂移和易受电压变化影响等缺点。目前,数字锁相环一般以 MCU/DSP 为核心,以软件实现离散域的运算与控制,在很大程度上依赖于处理器的性能。随着 FPGA 集成度的提高,将其应用于数字化电力电子设备中可以大大简化控制系统结构。笔者在 VHS-ADC 平台上搭建了数字锁相环,并在整流器控制系统中进行实时仿真,很好地实现了频率跟踪,改善了控制系统运行性能。

如图 4 所示,数字锁相环由一个延迟环节、两个取样器、一个鉴相器、一个数字环路滤波器和一个数字控制振荡器组成。取样器在数控振荡器的控制下,不规则地取样两个正交信号分量,并根据相位误差调整数控振荡器的相位以跟踪输入信号的相位。其工作过程为:将输入信号分两路,一路直接进入取样器 2,另一路经 90° 相移后进入取样器 1,为了检测

抽样时刻信号的相位,两取样器在同一时刻分别取样输入信号的两个正交样值,然后进行正切鉴相器查表运算,确定输入信号和数控振荡器的相位差。相位差经环路滤波器后成为误差控制信号,确定下一次取样时刻,以调整数控振荡器的相位跟踪输入信号的相位。在 VHS-ADC 平台中搭建的模型如图 5 所示,传感器采集到的外部电压信号通过 Gateway In 模块进入数字锁相环。由于采样速率为 100 kHz,电压基频为 50 Hz,因此用 Delay 模块实现延迟 90°相移,相当于 1/4 周期,即延迟 500 个采样周期。由 Register 和 Register1 两个模块实现取样器,使能信号由数控振荡器的输出脉冲决定。

其中的 ATAN 为 CORDIC ATAN 模块^[14-16],用以实现鉴相环节。

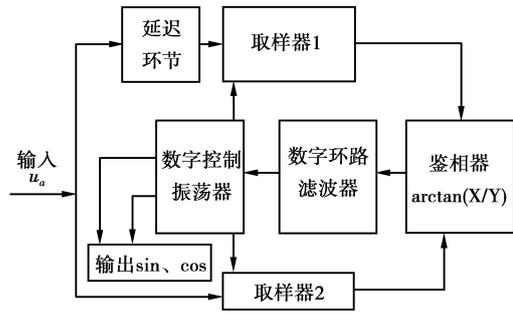


图 4 数字锁相环原理框图

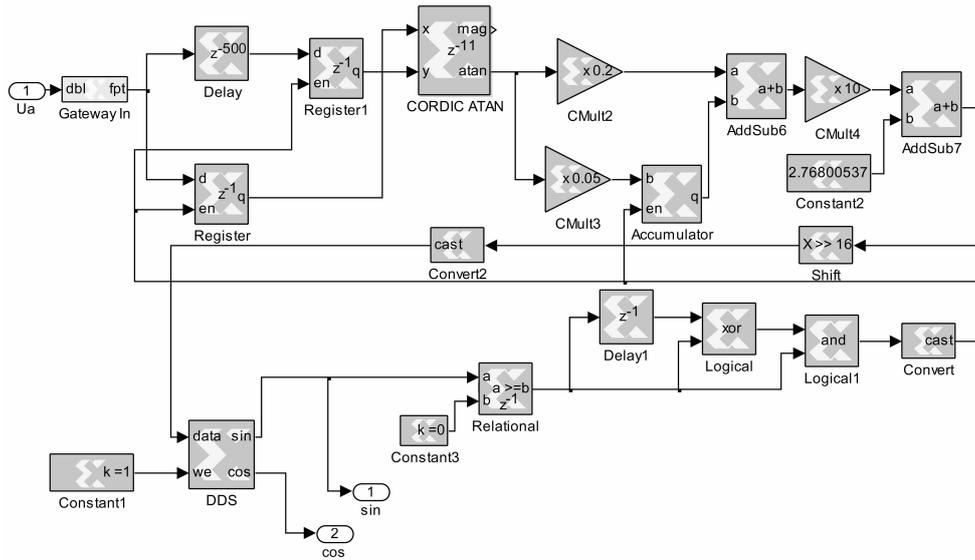


图 5 数字锁相环在 VHS-ADC 平台中的模型

图 5 中,由 CMult2、CMult3、CMult4 常数乘法模块, AddSub6、AddSub7 加法模块, Constant2 常数模块, Accumulator 累加模块构成数字滤波器,此滤波器相当于一个比例积分环节。由于系统时钟频率为 50 MHz,输入信号的整数位为 14 位,采样频率为 100 kHz,要锁定的信号频率在 50 Hz,则频率偏差量约为 32.768 Hz,则可抑制噪声及高频分量,并且控制着环路相位校正的速度与精度。

DDS 模块为直接数字式频率合成器,可输入要求的频率控制码,数字积分器(累加器)根据频率控制码在每个时钟周期内进行相位累加,得到一个相位值,正余弦计算器对该相位值计算数字化正余弦波幅度(芯片通过查表法得到)从而生成 $\sin\omega t$ 和 $\cos\omega t$ 。

图 5 中,其余模块构成数控振荡器,根据滤波器给出的控制量输出相应频率的信号,将 DDS 输出的

正弦信号变成同频率的脉冲信号,从而触发 2 个寄存器进行采样。

如图 6 所示,在很短时间内鉴相器输出的相位偏差趋于或接近于 0,从而可以锁定输入电压信号。

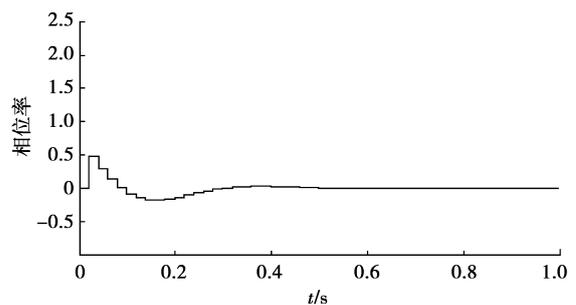


图 6 数字锁相环鉴相器输出

如图 7 所示,幅值较大的波形代表锁相环锁相

后通过 DDS 产生的输入电压同步信号,幅值较小的波形代表将输入电压缩小 400 倍。由图 7 可以看到系统开始运行时输入信号与输出信号不同步,如图 6 所示,当过了约 0.3 s 后,锁定现象明显,0.5 s 后完全锁定,输入信号与输出信号达到完全同步。

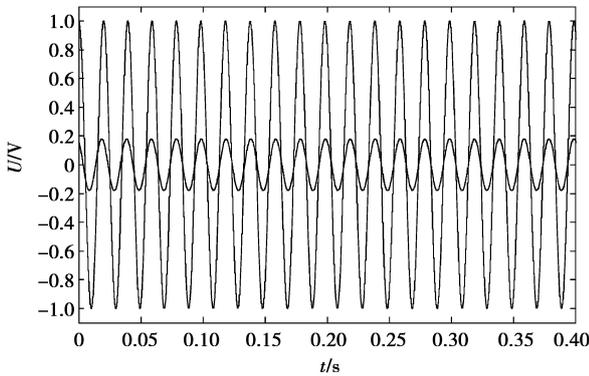


图 7 锁定前后输入电压与锁相环输出信号

4 数字滤波

由于实验中采集到的波形毛刺很多,可通过设计滤波器来解决。FIR 数字滤波器最直接、最简单的方法是窗函数法,其基本思想是构造一个 M 阶 Z 多项式,使其幅频特性近似理想数字滤波器,同时保持线性相位特性。

FIR 滤波器系数可以通过 Simulink 模块库中的 Fdatool 工具进行设计,为滤除 50Hz 基频以外的谐波,主要是三次、五次等谐波,可设计低通滤波器,指定截止频率和采样频率,最后在 FIR 中使用“xlfda-numerator(‘Fdatool’)”命令即可将设计的滤波器系数纳入 FIR 模块中。

图 8 为 VHS-ADC 平台上搭建的对三相电网电压进行 FIR 滤波的仿真模型。实验中,三相电网电压通过自耦变压器调压,将电压传感器采集到的电网电压信号通过平台的外部接口电路送到平台的 AD6645 芯片电路中,经 A/D 转换得到的实时信号通过 VHS Control Utility 进行完整记录,生成 bin 文件。由于滤波器设计的复杂性,可进行离线仿真设计,图 8 模型中 Get Recorded Data 是 Lyrtech VHS-ADAC Blockset 中的回放模块,通过合理设计其通道数、采样率、每通道的位数、帧大小来回放数据,载入 bin 文件就可进行类似的实时信号采集与处理。由于输出的是基于矩阵帧结构的 3 路信号,因此通过 Matrix frame-based 2 Individual sample-based i 模块将基于矩阵帧结构的输入信号转化为基于单采样的输出信号。图 8 中的 Gateway In 与 Gateway Out 模块用来实现 VHS-ADC 模块与 Simulink 模块的衔接,实现定点数与浮点数的转换。

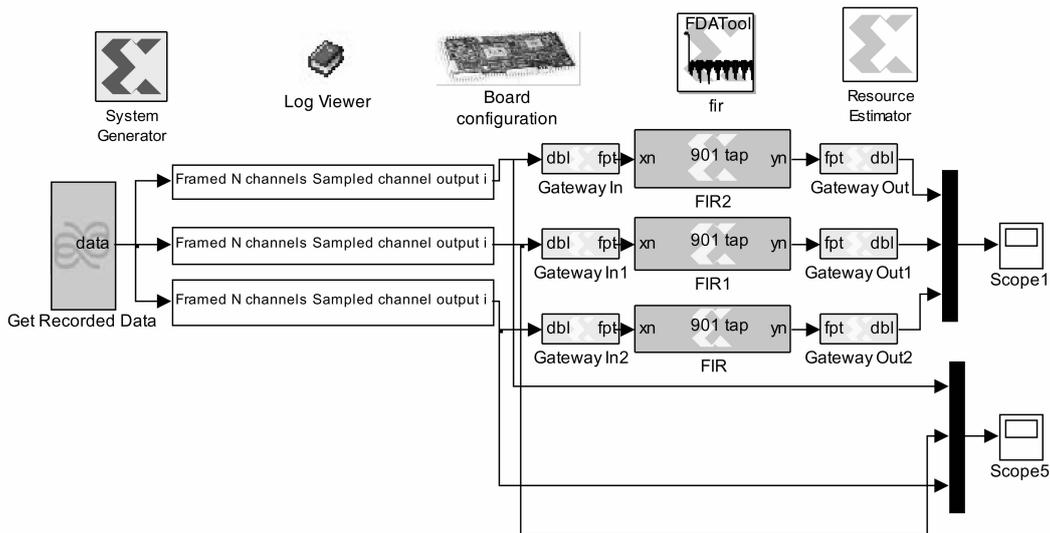


图 8 电网三相电压进行 FIR 滤波

根据实际电网采样情况,采用加矩形窗的 FIR 低通滤波器。采样周期 $T=0.000\ 01\ s$, $\Omega_s=2\pi/T$ 为滤波器的采样频率,计算约为 628 320,通带截止频率 $\Omega_p=2\pi\times 50=100\pi$,阻带起始频率 $\Omega_{st}=2\pi\times 150=300\pi$,则可得通带截止数字频率为 $\omega_p=\Omega_p\times 2\pi/\Omega_s=0.05\pi$,阻带起始数字频率为 $\omega_{st}=\Omega_{st}\times 2\pi/$

$\Omega_s=0.15\pi$,根据所需低通滤波器的过渡带可求理想低通滤波器的截止频率 Ω_c 和阶数。

图 9-10 为滤波前后的电压波形,滤波前后波形变化显著。如图 9 所示,由于电压传感器的测量输入范围大,幅值为 2 000 V,输入输出变比为 400:1,输入电压仅十几伏,测量的电压偏低,造成毛刺比较

多。同时,由于 IGBT 高频开关动作加重了信号噪声。如图 10 所示,滤波后信号基本滤除了电网电压基频以外的高次谐波。滤波前后相位上有很小的偏移,对系统正常运行没有影响。

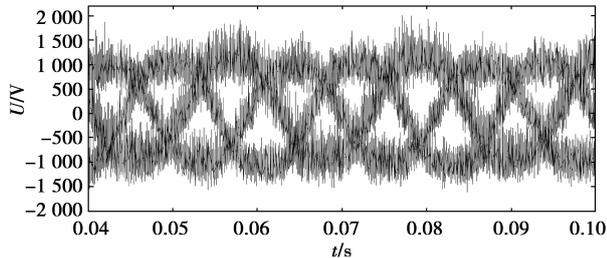


图 9 采集到的电网三相电压

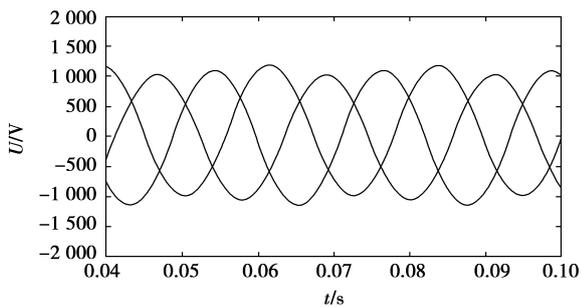


图 10 滤波后的电网三相电压

5 仿真结果

利用 Simulink 与 VHS-ADC 仿真平台,建立了三相电压型整流器模型和锁相、滤波模型。主要参数 $U_a = U_b = U_c = 50$ V,交流侧电感 $L_r = 6.8$ mH,输出滤波电容 $C = 1\ 000$ μ F,开关频率 $f_s = 10$ kHz。电压环 PI 参数:比例系数 $K_p = 0.12$, $K_i = 5.732$ 。电流环 PI 参数: $K_p = 1.3$, $K_i = 90$ 。负载 $R_0 = 18$ Ω ,输出功率 1 089 W。

A 相输入电压和输入电流的波形仿真如图 11 所示。大约 0.3 s 后锁定,电压电流工作于单位功率因数状态。

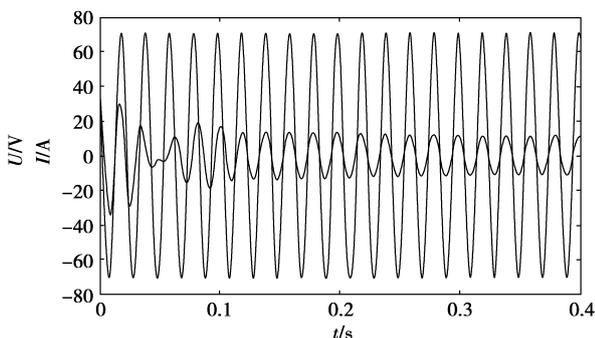


图 11 A 相电压电流波形

如图 11 所示,锁定后输入电流接近正弦波,波形畸变很小。通过谐波分析,电流畸变率为 1.86%。

如图 12 所示,稳定后直流电压波动小,可以很好地稳定在给定电压上。

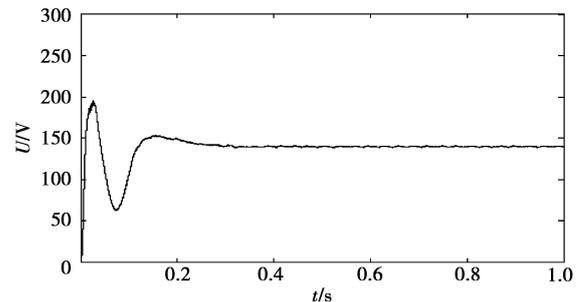


图 12 输出直流电压

6 实验验证

实验以小功率为例来验证基于 VHS-ADC 构建三相电压型 SVPWM 整流器的仿真平台的可行性。交流侧输入相电压为 10.5 V,电感 $L = 6.8$ mH,电容为 $C = 1\ 000$ μ F,直流侧输出电压为 40 V,负载为 28 Ω 。

1) A 相交流侧电压和电流的输入波形如图 13 所示。

如图 13 所示,相电压的峰值为 14.4 V,电流为 1.9 A。经计算输入功率为 58.0 W。交流侧电压是通过自耦变压器调节所得,交流侧的电压和电流基本上达到正弦波,并且基本保持同相位。

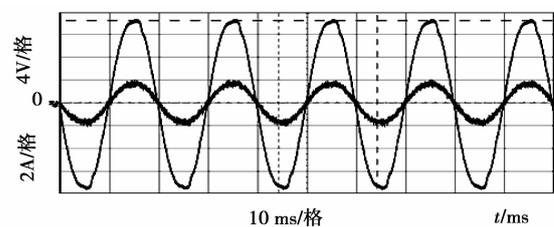


图 13 交流侧电压和电流输入波形

2) 直流侧输出电压波形如图 14 所示。

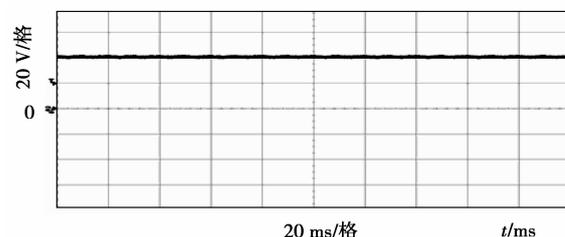


图 14 直流侧输出电压波形

由图 14 可知,测量直流侧输出电压约为 40.0 V,电压有微小的波动。输出电压达到了电压给定值 40 V。经计算输出功率为 57.1 W,与输入功率基本一致。

7 结 语

在常规的三相电压型 SVPWM 整流器模型基础上,增加数字锁相环、FIR 数字滤波,在 VHS-ADC 平台上设计了电压外环 PI 环节、电流内环 PI 环节和坐标变换模型。在平台上进行仿真,通过小功率实验验证了所搭建的各个模块的正确性。仿真结果表明,数字锁相环提高了跟踪电网电压、电流相位和频率的速度,有更小的稳态相位误差。数字滤波器基本上滤除了电网电压基频以外的高次谐波,能够较真实地再现电网实际输入信号,提高系统工作可靠性。

参考文献:

- [1] 张崇巍, 张兴. PWM 整流器及其控制[M]. 北京:机械工业出版社,2003.
- [2] MALINOWSKI M, KAZMIERKOWSKI M P, TRZYNADLOWSKI A M. A comparative study of control techniques for PWM rectifiers in AC adjustable speed drivers [J]. IEEE Transactions on Power Electronics,2003, 18(6):1390-1396.
- [3] MIC D, ONIGA S. FPG a implementation of a digital tachometer with input Filtering [C] // International Symposium for Design and Technology of Electronic Packaging, Sept. 20-23, 2007, Baia Mare, Romania. [S. l.]; IEEE, 2007;170-174.
- [4] 王万宝,付志红,苏向丰. 三相电压型 SVPWM 整流器离散域控制模型的构建[J]. 系统仿真学报,2010, 22(1): 222-226.
WANG WAN-BAO, FU ZHI-HONG, SU XIANG-FENG. Discrete control modeling for three-phase voltage source SVPWM rectifier[J]. Journal of System Simulation,2010, 22(1): 222-226.
- [5] WANG X, HUANG K Z, YAN S J, et al. Simulation of three-phase voltage source pwm rectifier based on the space vector modulation[C]//2008 Chinese Control and Decision Conference (CCDC2008), July 2-4, 2008, Yantai, Shandong, China. [S. l.]; IEEE, 2008; 4540-4545.
- [6] 马皓,郎芸萍. 空间矢量简化算法在三相 PWM 电压型整流器中的应用[J]. 浙江大学学报,2006, 40(1): 176-180.
MA HAO, LANG YUN-PING. Application of simplified space-vector modulation algorithm to three-phase voltage source PWM rectifier [J]. Journal of Zhejiang University Engineering Science, 2006, 40(1): 176-180.
- [7] XING S B, ZHAO K Y. Research on a novel SVPWM algorithm [C] // 2007 Second IEEE Conference on Industrial Electronics and Applications, May 23-25, 2007, Harbin, China. [S. l.]; IEEE, 2007; 1869-1872.
- [8] FANG Y, XING Y, HU Y W. A fast algorithm for SVPWM in three phase power factor correction application[C] // IEEE Power Electronics Specialists Conference, June 20-26, 2004, Aachen, Germany. [S. l.]; IEEE, 2004; 976-979.
- [9] HAGEMeyer J, KETTELHOIT B, KOESTER M, et al. Design of homogeneous communication infrastructures for partially reconfigurable FPGAs [C] // International Conference on Engineering of Reconfigurable Systems and Algorithms(ERSA'07), July 14-17, 2007, Nevada, Las Vegas, USA. [S. l.]; IEEE, 2007;1-7.
- [10] BLAABJERG F, TEODRESCU R, LISERRE M, et al. Overview of control and grid synchronization for distributed power generation systems [J]. IEEE Transactions on Industrial Electronics, 2006, 53(5): 1398-1409.
- [11] PAVLJASEVIC S, DAWSON F. Synchronization to disturbed utilitynetwork signals using a multirate phase-locked loop[J]. IEEE Transactions on Industrial Electronics, 2006, 53(5):1410-1417.
- [12] HUSSAIN Z M, BOASHASH B. The time-delay digital tanlock loop: Performance analysis in additive Gaussian noise[J]. Journal of the Franklin Institute, 2002, 99(1): 43-60.
- [13] AL-ARAJI S R, AL-QUTAYRI M A, AL-MOOSA N I. Digital tanlock loop with extended locking range using variable time delay [C] // The 2004 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2004), July 25-28, 2004, Hiroshima, Japan. [S. l.]; IEEE, 2004; 572-688.
- [14] HU Y H. CORDIC-based VLSI architectures for digital signal processing [J]. IEEE Signal Processing Magazine, 1992(7):17-34.
- [15] VOLDER J E. The CORDIC Trigonometric Computing technique [J]. IRE Transactions On Electronic Computers, 1959, EC-8(3): 330-334.
- [16] ARBAUGH T J. Table look-up CORDIC: effective rotations through angle partitioning [D]. Austin: University of Texas,2005.

(编辑 王维朗)