

文章编号:1000-582X(2013)06-098-05

Dog Bone 栅型 MOS 场效应晶体管的等效宽长比计算

孟丽娅,刘泽东,胡大江,岳陈平,喻依虎

(重庆大学 光电技术及系统教育部重点实验室,重庆 400044)

摘要: Dog Bone 栅型 MOS 场效应晶体管是一种对称性的、防辐射总剂量效应的版图结构。为了计算其等效宽长比,把它划分为常规结构的主 MOS 晶体管和非常规结构的边缘 MOS 晶体管 2 种类型的并联。借助 Silvaco TCAD 工艺与器件仿真工具构建了它的模型,分析了主 MOS 晶体管的宽度、长度和边缘 MOS 晶体管的多晶硅与有源区的交叠宽度对边缘 MOS 等效宽长比的影响,得到拟合的 Dog Bone 栅型 MOS 晶体管等效宽长比的计算公式。采用 CSMC 0.5 μm DPTM CMOS 混合信号工艺制作了样管,对实验测量值和公式计算值进行比较,Dog Bone 栅型 MOS 场效应晶体管的等效宽长比的计算公式与实验能够较好地吻合。

关键词: Dog Bone MOS; 防辐射加固; 器件仿真

中图分类号: TN386.1

文献标志码: A

Equivalent aspect ratio calculation of MOS field effect transistor with Dog Bone gate

MENG Liya, LIU Zedong, HU Dajiang, YUE Chenping, YU Yihu

(Key Laboratory of Optoelectronic Technology & Systems, Ministry of Education, Chongqing University, Chongqing 400044, China)

Abstract: MOS field effect transistor(FET) with Dog Bone shape gate is a symmetric layout structure with hardened radiation-total-dose effect (RTDE). In order to calculate its equivalent aspect ratio, it is divided into a regular MOS FET (host MOS) and two parasitic MOS FETs (edge MOS) in parallel. The model of this device is constructed in Silvaco TCAD software, then a fitted formula of the equivalent aspect ratio is derived based on the simulation of drain current with respect to the width and length of host MOS, and overlap width between polysilicon and active area of edge MOS. The comparison between the fitted formula and measurements of sample transistors taped out in CSMC 0.5 μm DPTM CMOS mixed-signal process indicates the fitted formula for equivalent aspect ratio of Dog Bone Gate MOS FET matches the measurement.

Key words: Dog Bone MOS; radiation hardened; device simulation

随着 CMOS 技术不断地发展,CMOS 电子器件也被运用到各个领域。但是在诸如太空探测、粒子

物理实验以及医学成像等电离辐射环境中使用的 CMOS 器件,会受到辐射引起的辐射总剂量效应

收稿日期: 2013-01-09

基金项目: 国家自然科学基金资助项目(61071043);中央高校基本科研业务费资助项目(CDJRC 11200004, CDJXS10120012)

作者简介: 孟丽娅(1976-),女,重庆大学副教授,主要从事红外探测读出电路与 X 射线直接成像的 CMOS 图像传感器研究,(E-mail)mly@cqu.edu.cn。

(radiation total dose effect, RTDE)^[1] 和单粒子翻转效应(single event upset, SEU)^[2-3] 等的影 响,可能导致工作异常甚至损坏。为了提高电子器件在辐射环境中工作的稳定性和工作时间,研究者从器件级和电路级都提出了许多方法^[4-6]。目前在抗 RTDE 效应方面,从 MOS 器件结构上提高晶体管耐辐射能力的方法主要是避免 NMOS 管的源漏端与厚的场氧相连,主要有环状栅(annular or endless gate)的 MOS 晶体管版图结构^[7] 和 Dog Bone 栅 MOS 晶体管的版图结构^[8]。环状栅结构虽然避免了源漏之间场氧的出现,然而存在源漏端不对称、受最小宽长比约束等缺点。Dog Bone 栅 MOS 场效应晶体管的版图结构是在常规版图结构基础上用多晶硅覆盖源漏区边缘而形成(如图 1 所示),即在源漏边缘处用薄的栅氧取代了厚的场氧。因此,Dog Bone 栅 MOS 场效应晶体管源漏端对称且设计灵活。但是对于这类进行了辐射加固设计的特殊版图结构,由于其电流-电压特性与同尺寸的普通结构晶体管的有所不同,给集成电路设计带来了一定问题。文中采用 Silvaco 工艺与器件仿真软件,对标准 CMOS 工艺下的 Dog Bone 结构的辐射加固 MOS 器件进行了建模仿真,将之与普通结构 MOS 器件相比较,以寻求一种 Dog Bone 栅 MOS 场效应晶体管等效宽长比的计算方法,为进一步的电路设计打下基础。

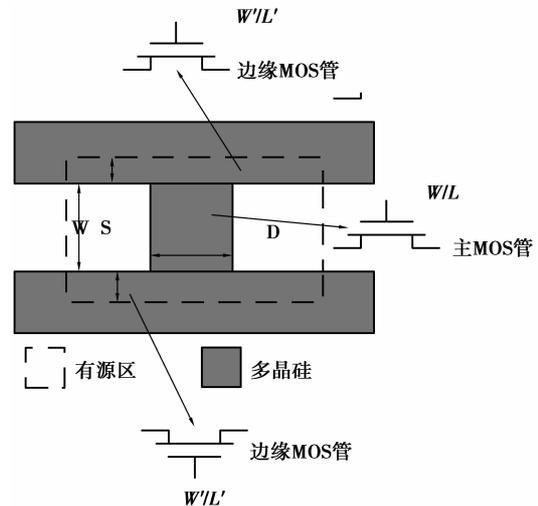
1 器件建模与仿真的方法

利用 Silvaco TCAD 平台,使用工艺仿真器(ATHENA)、三维器件编辑器(DEVEDIT3D)和器件仿真器(ATLAS)。实验样管拟采用 CSMC 0.5 μm CMOS 工艺流片,为了与厂家提供的参数吻合,首先使用 ATHENA 工艺仿真提取出具体的工艺参数(如衬底掺杂、源漏扩散、阈值调节注入等),使所得器件的阈值电压和各部分方块电阻与厂家基本吻合。再根据工艺仿真提取的参数和厂家提供的部分参数,用三维器件编辑器 DEVEDIT3D 生成器件结构。最后用器件仿真器 ATLAS 对生成的结构进行仿真。

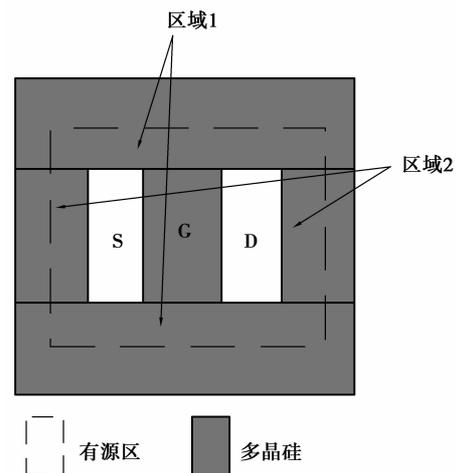
在 ATLAS 的器件仿真过程中,物理模型采用 Boltzmann 载流子统计模型,SRH (Shockley-Read-Hall)复合模型,CVT 载流子迁移率模型;数值仿真采用 Newton-Richardson 迭代算法^[8]。

在 Dog Bone 栅 MOS 场效应晶体管的 2 种结构(见图 1)中,图 1(b)源漏两端完全被多晶硅包围,可以防止该晶体管和相邻管子之间的连通。利用 ATLAS 对这 2 种结构进行电学仿真,结果表明,在相同的偏置下这 2 种结构在周围无其他器件存在时

有相同的输出电流,且在栅极正向偏置下,图 1(b)的区域 2 没有贡献额外的电流密度(如图 2 所示,为便于观察,图中 MOS 管未显示多晶硅层和氧化层),因此以下的仿真分析只对图 1(a)结构进行。



(a) 半包 Dog Bone 型栅 MOSFET



(b) 全包 Dog Bone 型栅 MOSFET

图 1 Dog Bone 栅 MOS FET 的版图结构

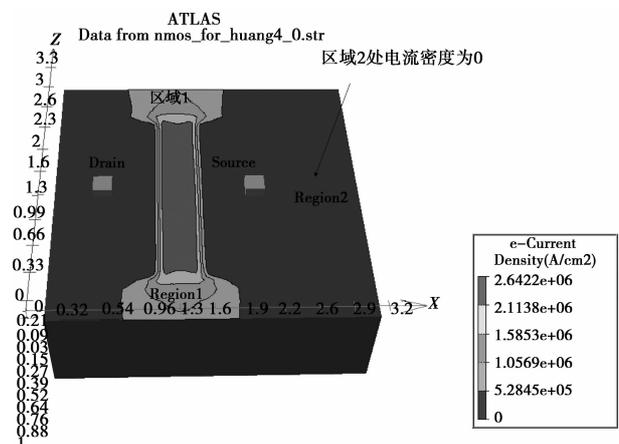


图 2 源漏全包的 Dog Bone 栅 MOS 结构表面电流密度分布

2 仿真结果与分析

将 Dog Bone 栅 MOS 管结构划分为普通结构的 MOS 管(主 MOS 管)和等效的边缘 MOS 管 2 部分的并联,见图 1(a),则整个 Dog Bone 栅 MOS 管的等效宽长比按照式(1)计算。

$$\left(\frac{W}{L}\right)_{\text{eq}} = \text{finger} \times \left(\left(\frac{W}{L}\right)_{\text{host}} + 2 \times \left(\frac{W'}{L'}\right)_{\text{edge}} \right), \quad (1)$$

式中: $\left(\frac{W}{L}\right)_{\text{host}}$ 是主 MOS 管的宽长比,可以直接从版图尺寸中获得; $\left(\frac{W'}{L'}\right)_{\text{edge}}$ 是边缘 MOS 管的等效宽长比,finger 为叉指数目。该晶体管工作在饱和区的跨导为

$$g_m = \mu C_{\text{ox}} \left(\frac{W}{L}\right)_{\text{eq}} (V_{\text{GS}} - V_{\text{TH}}), \quad (2)$$

式中: μ 为电子迁移率; C_{ox} 为单位面积栅氧化层电容; $\left(\frac{W}{L}\right)_{\text{eq}}$ 为 Dog Bone MOS 晶体管的等效宽长比,由式(1)给出; V_{GS} 为栅源电压; V_{TH} 为阈值电压。

利用 ATLAS 分别仿真了主 MOS 管的沟道长度、宽度及边缘 MOS 管中多晶硅和有源区的重叠宽度 d 的大小对边缘 MOS 管等效宽长比大小的影响。

1) 主 MOS 的沟道宽度对边缘 MOS 等效宽长比的影响。用 ATLAS 对边缘 MOS 的多晶硅和有源区的重叠宽度 $d=0.5 \mu\text{m}$,主 MOS 的长度 $L=0.5 \mu\text{m}$,宽度 W 分别为 $0.5, 0.8, 1, 1.2 \mu\text{m}$ 的 4 种 Dog Bone MOS 管结构进行仿真,由其电压-电流曲线计算等效宽长比。得到边缘 MOS 等效宽长比随主 MOS 沟道宽度 W 变化的曲线,如图 3 所示。由图可见,边缘 MOS 等效宽长比几乎不受主 MOS 沟道的宽度的影响。因为主 MOS 的沟道宽度变化前后不会对边缘 MOS 的沟道横向电场产生影响。

2) 主 MOS 的沟道长度 L 对边缘 MOS 等效宽长比的影响。用 ATLAS 对边缘 MOS 的多晶硅和有源区的重叠宽度 $d=0.5 \mu\text{m}$,主 MOS 的沟道宽度 $W=1 \mu\text{m}$,长度 L 分别为 $0.5, 0.8, 1, 1.2, 1.5 \mu\text{m}$ 的 5 种 Dog Bone 栅 MOS 管结构进行仿真,并计算其等效宽长比。图 4 中的黑色点线表示仿真得到的边缘 MOS 的等效宽长比与主 MOS 的长度的关系。对该曲线进行了两参数的线性倒数函数的拟合(图 4 中的红色虚线),拟合公式为

$$\frac{W'}{L'} = \frac{1}{\alpha + \beta L}, \quad (3)$$

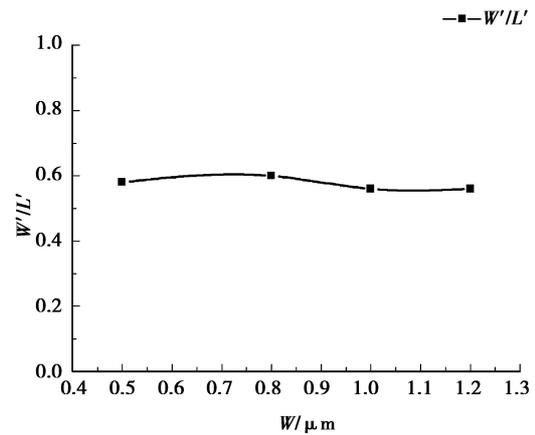


图 3 边缘 MOS 等效宽长比和主 MOS 的宽度之间的关系

式中: L 为主 MOS 的沟道长度, α, β 为拟合参数,拟合值 $\alpha=0.8297, \beta=1.8951/\mu\text{m}$ 。可见,边缘 MOS 等效宽长比与主 MOS 的沟道长度成反比。

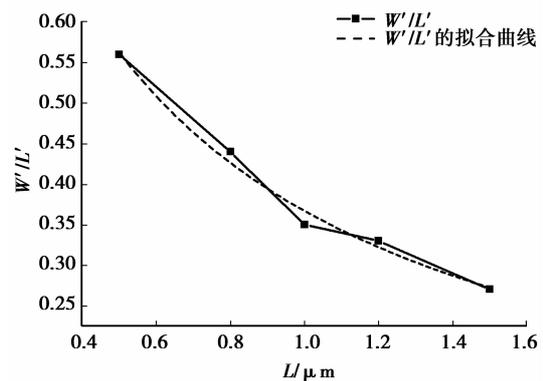


图 4 边缘 MOS 的等效宽长比和主 MOS 的长度之间关系

3) 边缘 MOS 中的多晶硅和有源区的重叠宽度 d 对其等效宽长比的影响。用 ATLAS 对主 MOS 的宽度沟道 $W=1 \mu\text{m}$,长度 $L=0.5 \mu\text{m}$,边缘 MOS 中的参数 d 分别为 $0.5, 0.8, 1, 1.2, 1.5 \mu\text{m}$ 的 5 种 Dog Bone 栅 MOS 结构进行仿真,并计算其等效宽长比。图 5 是边缘 MOS 的等效宽长比和参数 d 之间的关系,其中黑色的点线表示仿真结果。对该曲线进行了指数衰减函数拟合(图中的红色虚线),拟合公式为

$$\frac{W'}{L'} = A - B \exp\left(\frac{-d}{C}\right), \quad (4)$$

式中: d 为边缘 MOS 的多晶硅和有源区的重叠宽度, A, B, C 为拟合参数,拟合值 $A=0.8553, B=0.9110, C=0.4451 \mu\text{m}$ 。可见,边缘 MOS 的等效宽长比与其多晶硅和有源区的重叠宽度 d 成指数非

线性关系。这与普通的 MOS 管的宽长比和多晶硅宽度成正比的特性不相同,因为边缘 MOS 的沟道横向电场并非一族平行电场线,而是从主 MOS 的漏端侧向到源端侧向的弯曲电场线,其电场强度随距离而变化,靠近主 MOS 的边缘处电场强,远离主 MOS 的边缘处则电场弱。边缘 MOS 沟道内横向电场线弯曲的情况也可由图 2 中的边缘电流密度的分布看出。

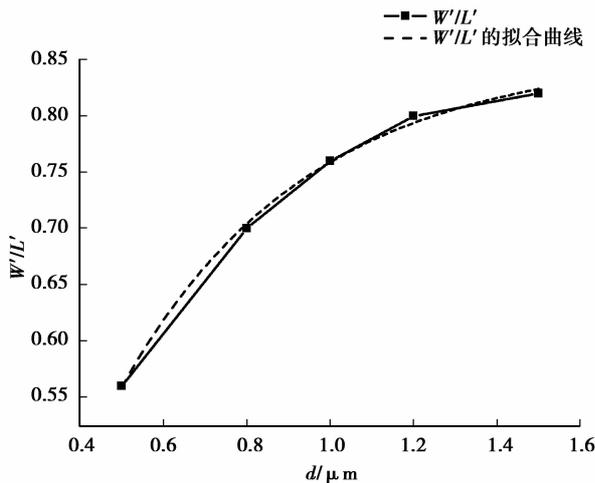


图5 边缘 MOS 的等效宽长比和参数 d 之间的关系

由以上仿真结果可知,边缘 MOS 等效宽长比与参数 d 和主 MOS 的沟道长度 L 有关,而与主 MOS 的沟道宽度 W 无关。因此其等效宽长比的计算式是关于 d 和 L 的函数。为了得到该两变量的函数,对更多 Dog Bone 栅 MOS 结构进行了仿真。包括:主 MOS 宽度 $W=1\mu\text{m}$,长度 L 分别为 0.5、0.8、1、1.2、1.5 μm ,边缘 MOS 的参数 d 分别为 0.5、0.8、1、1.2、1.5 μm 的总共 25 种 Dog Bone 栅 MOS 结构。图 6 是边缘 MOS 等效宽长比和重叠宽度 d 、主 MOS 的沟道长度 L 之间的关系的拟合曲面,拟合式为

$$\frac{W'}{L'} = \frac{\rho(1 - \exp(-\theta d))}{\gamma + L}, \quad (5)$$

式中: ρ 、 θ 、 γ 为拟合参数,拟合值 $\rho=1.2342$, $\theta=1.6995/\mu\text{m}$, $\gamma=0.8434$ 。将式(5)代入式(1)中得到整个 Dog Bone 栅 MOS 晶体管的等效宽长比。

3 实验测试

采用 CSMC 0.5 μm DPTM CMOS 混合信号工艺对样管进行了流片。每组测试芯片上分别有 3 个不同宽长比的普通结构晶体管(分别编号 1、2、3)和

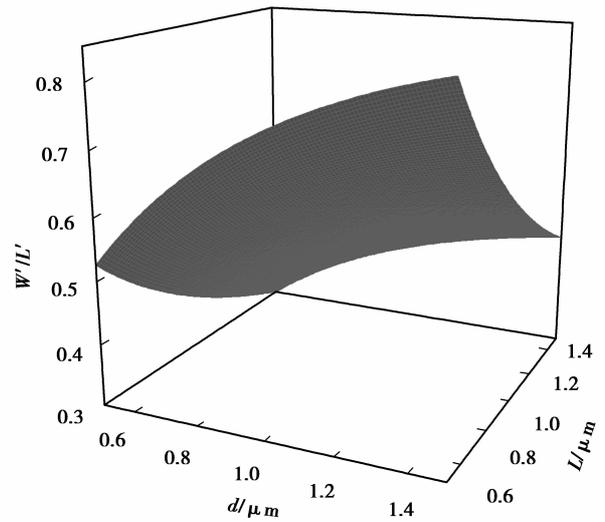


图6 边缘 MOS 等效宽长比和参数 d 、主 MOS 的长度 L 之间的关系的拟合曲面

3 个相应的 Dog Bone 栅 MOS 晶体管。1 号晶体管 $W/L=1.1\mu\text{m}/1\mu\text{m}$, 2 号晶体管 $W/L=2\mu\text{m}/0.55\mu\text{m}$, 3 号晶体管 $W/L=9\mu\text{m}/0.6\mu\text{m}$ 。相应 Dog Bone 栅 MOS 场效应晶体管的版图结构中,主 MOS 管 W/L 与普通晶体管的尺寸一样,边缘 MOS 的多晶硅和有源区的重叠宽度 d 不同,分别为 1 号 $d=0.75\mu\text{m}$, 2 号 $d=0.3\mu\text{m}$, 3 号 $d=0.35\mu\text{m}$ 。

用安捷伦 4155 B 半导体测试仪对 15 组芯片进行了测试,每个样管的电流均取自饱和区处的 3 个点($V_{\text{gs}}=3\text{V}$, $V_{\text{ds}}=1.6\text{V}$; $V_{\text{gs}}=4\text{V}$, $V_{\text{ds}}=1.6\text{V}$; $V_{\text{gs}}=5\text{V}$, $V_{\text{ds}}=1.6\text{V}$)的电流值。

因为 MOS 管的电流与其等效宽长比成正比,所以在相同的工艺和电压偏置条件下,任意 2 个 MOS 管应满足关系

$$\frac{I_1}{I_2} = \frac{(W/L)_1}{(W/L)_2}. \quad (6)$$

把 Dog Bone 栅 MOS 场效应晶体管的电流与普通的 MOS 结构的电流相比较,就得到其等效宽长比。每一个电流取值点可以得到 1 个等效宽长比,把这些等效宽长比取平均作为每个 Dog Bone 栅 MOS 晶体管的等效宽长比,再把 15 组里相同结构的 Dog Bone 栅 MOS 晶体管的等效宽长比取平均作为其最终等效宽长比。图 7 所示是 3 个 Dog Bone 栅 MOS 结构等效宽长比的实验测量值和公式计算值的对比,由图可见,得出的拟合和实验吻合较好。

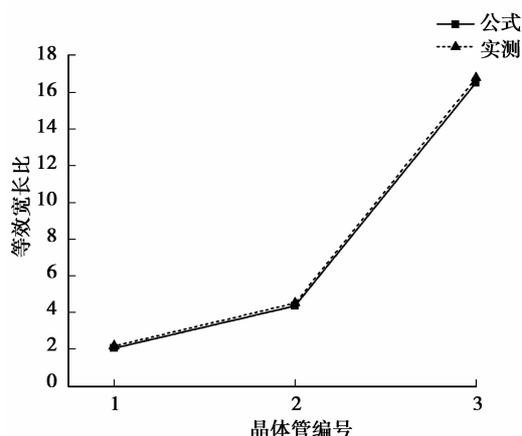


图 7 Dog Bone MOS 等效宽长比的实验测量值和公式给出值之间的比较

4 结 论

Dog Bone MOS FET 是一种防辐射总剂量效应的版图结构,与环状栅的版图结构相比,它的设计灵活、结构对称。研究借助工艺与器件仿真工具 SILVACO TCAD 构造了该结构晶体管的器件仿真模型,提出一种简化计算方法,把 Dog Bone 结构 MOS 划分为常规结构的主 MOS 和非常规的边缘 MOS 的并联。主 MOS 的宽长比可以直接从版图尺寸中获得;计算边缘 MOS 的等效宽长比就可得到整个 Dog Bone MOS 的等效宽长比和跨导等信息。仿真结果表明,边缘 MOS 的等效宽长比与主 MOS 沟道宽度 W 无关,与主 MOS 沟道长度 L 成反比,与其自身的多晶硅与有源区的重叠宽度 d 成指数非线性关系。用拟合的方法得到了边缘 MOS 晶体管等效宽长比的计算公式,进而可计算得到整个 Dog Bone MOS FET 的等效宽长比和跨导。采用 CSMC 0.5 μm DPTM CMOS 混合信号工艺制作了样管,对实验测量值和公式计算值进行了比较,Dog Bone MOS 晶体管的等效宽长比的计算公式与实验吻合较好。

参考文献:

- [1] Oldham T R, Jr, McLean F B. Total ionizing dose effects in MOS oxides and devices [J]. IEEE Transactions on Nuclear Science, 2003, 50 (3): 483-499.
- [2] Hass K J, Ambles J W. Single event transients in deep submicron CMOS[C]// Proceedings of the 1992 42nd Midwest Symposium on Circuits and Systems, August 8-11, 1999, Las Cruces, NM. Piscataway: IEEE Press, 1999, 1: 122-125.
- [3] Amusan O A, Massengill L W, Baze M P, et al. Single event upsets in deep-submicrometer technologies due to charge sharing[J]. IEEE Transactions on Device and Materials Reliability, 2008, 8(3): 582-589.
- [4] Baze M P, Büchner S P, McMorrows D. A digital CMOS design technique for SEU hardening[J]. IEEE Transactions on Nuclear Science, 2000, 47 (6): 2603-2608.
- [5] Snoeys W, Faccio F, Burns M, et al. Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2000, 439(2/3): 349-360.
- [6] Lacoce R C. Improving integrated circuit performance through the application of hardness-by-design methodology [J]. IEEE Transactions on Nuclear Science, 2008, 55(4): 1903-1925.
- [7] Mayer D C, Lacoce R C, King E E, et al. Reliability enhancement in high-performance MOSFETs by annular transistor design[J]. IEEE Transactions on Nuclear Science, 2004, 51(6): 3615-3620.
- [8] Champion C L. Modeling of FETs with abnormal gate geometries for radiation hardening[D]. Washington: Washington State University, 2004.
- [9] Silvaco International. Atlas user's manual: version 5. 10. 0. R [CP]. Santa Clara: Silvaco International Corporation, 2005.

(编辑 陈移峰)