

doi:10.11835/j.issn.1000-582X.2016.04.017

大功率 P 沟道 VDMOS 器件设计与工艺仿真

蒲 石, 杜 林, 张得玺

(西安电子科技大学 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

摘 要:作为现代电力电子核心器件之一的 P 沟道 VDMOS (vertical double-diffuse, MOS) 器件, 一直以来由于应用领域狭窄而并未得到足够的研究。以 P 沟道 VDMOS 器件为研究对象, 为一款击穿电压超过 -200 V 的 P 沟道 VDMOS 设计了有源区的元胞结构及复合耐压终端结构, 并开发了一套完整的 P 沟道 VDMOS 专用非自对准工艺流程。最后通过仿真得到器件的击穿电压超过 -200 V , 阈值电压为 -2.78 V , 完全满足了设计要求, 也为下一步流片提供了有益的参考。

关键词: P 沟道 VDMOS; 击穿电压; 导通电阻; 阈值电压

中图分类号: TN432

文献标志码: A

文章编号: 1000-582X(2016)04-133-06

Design and process simulation of high voltage P-channel VDMOS

PU Shi, DU Lin, ZHANG Dexi

(Key Laboratory for Wide Band-gap Semiconductor Materials and Devices, Ministry of Education, Xidian University, Xi'an 710071, P.R.China)

Abstract: As one of core devices in modern power semiconductor, P-channel VDMOS device has not been well researched for its narrow applications. We focused on the development of P-channel VDMOS device, designed a P-channel VDMOS with breakdown voltage over -200 V , including the active region cell structure and the junction termination structure, and developed a non-self-aligned process flow for P channel VDMOS. Simulation results show that the breakdown voltage of the device is over -200 V and the threshold voltage is -2.78 V . The results meet the design requirements, and the research can provide references for the device fabrication.

Keywords: P-channel VDMOS; breakdown voltage; on-resistance; threshold voltage

VDMOS 作为近年来开发的最重要的功率器件, 在开关电源、DC 转换、电机驱动控制等领域得到了十分广泛的运用^[1-2]。目前 N 沟道 VDMOS 器件的研制在国内外均已经取得了重大突破^[3-6], 而 P 沟道 VDMOS 由于性能相对较弱且运用领域十分狭窄, 国内外对其研究都极其匮乏。但相比于 N 沟道 VDMOS, P 沟道 VDMOS 器件在图腾柱式功率管组电路中, 作为高压侧控制开关, 有其独特的优势: P 沟道 VDMOS 既不需要用于高压电平位移的电荷泵电路, 也不存在高、低压开关控制信号同步的问题, 在恶劣的电磁环境下具有不可替代的高可靠性优势^[7]。笔者在项目前期所研制耐压 -80 V 的 P 沟道 VDMOS 器件^[8]基础上, 对一款击穿电压超过 -200 V , 阈值电压 $-2.0\text{ V} \sim -4.0\text{ V}$ 的 P 沟道 VDMOS 的元胞结构进行了研究, 利用仿真软

收稿日期: 2015-03-25

基金项目: 国家自然科学基金资助项目(61106106); 中央高校基本科研业务费专项基金(K5051325002, K50511250008)。

Supported by the National Natural Science Foundation of China (61106106) and the Fundamental Research Funds for the Central Universities (K5051325002, K50511250008).

作者简介: 蒲石(1981-), 男, 西安电子科技大学博士研究生, (E-mail) simon.pu@foxmail.com。

件 Silvaco 对其结构参数与电学性能的关系进行了讨论,并对其重点参数和工艺流程进行了仿真,为项目下一步的流片提供了有益参考。

1 P 沟道 VDMOS 的结构设计

高压大功率 P 沟道 VDMOS 器件有源区元胞通常采用图 1 所示的平面(Planar)结构。与传统 P 沟道 MOS 器件类似,P 沟道 VDMOS 器件也通过栅电压 V_G 来控制器件工作。但与传统 P 沟道 MOS 器件所不同的是,在图 1 所示结构中 N^+ 阱区与 P^- 外延层之间构成了一个寄生体二极管,当 V_G 绝对值低于阈值电压 V_{th} 时,器件处于关断状态,源漏电压 V_{DS} 将被完全被加载到该寄生体二极管 2 端,其击穿电压决定着器件的关键指标——击穿电压 BV_{DS} 。为提高寄生体二极管的击穿电压,需要采用较厚的轻掺杂外延层,这样该寄生体二极管的 PN 结耗尽区将主要向外延层中延伸,使得绝大部分反偏电压由较厚的外延层承担,可以有效提高器件击穿电压。

大功率 VDMOS 的另一个重要指标——导通电阻 R_{on} 则决定了器件的最大输出电流。通常它由元胞的布局、几何形状及尺寸、元胞密度及芯片面积等因素决定^[9]。对于高压 VDMOS 的元胞, R_{on} 主要由以下 4 部分构成(Chenming Hu 模型^[10])

$$R_{on} = R_{Ch} + R_A + R_{JFET} + R_{Epi}, \quad (1)$$

式中: R_{Ch} 为沟道电阻, R_A 为栅氧化层下方的电荷积累层电阻, R_{JFET} 为颈区寄生结型场效应管电阻, R_{Epi} 为外延层电阻。

对于高压 VDMOS 器件,随着 BV_{DS} 的提高, R_{on} 将成倍上升,这主要是其中 R_{Epi} 的分量迅速增加所致。在 500 V 以上的高压 VDMOS 器件中 R_{Epi} 甚至会占到 R_{on} 的 80% 以上^[11],这不仅使器件热耗散功率大增,也限制了器件电流密度的进一步提高。虽然单纯提高元胞数量可以明显降低器件的整体导通电阻,但这会使栅电荷急剧增加,开关损耗变大。因此,在高压 VDMOS 器件的元胞设计中如何通过优化元胞结构设计以平衡 BV_{DS} 与 R_{on} 这对矛盾,一直是设计的关键。

击穿电压决定了漂移区掺杂浓度 N_{Dft} 和厚度 W_{Dft} 的选取。此处为了方便讨论击穿的情况,引入临界电场 E_c 的概念:当 PN 结中电场强度达到临界电场 E_c 时,PN 结将发生击穿^[9-12],此时所对应的 PN 结反偏电压就是 PN 结的击穿电压。由于在反偏电压作用下 VDMOS 元胞耗尽区相互交叠,其击穿模型类似于平行平面结的雪崩击穿模型,因此漂移区掺杂浓度 N_{Dft} 和厚度 W_{Dft} 与 E_c 及 BV_{DS} 之间的关系有如下公式

$$E_c = \left(\frac{2qN_A BV_{DS}}{\epsilon_{Si}} \right)^{1/2} \approx 8.5 \times 10^5 BV_{DS}^{0.2} \text{ V/cm}, \quad (2)$$

因此可以得到^[8-10,12]

$$N_{Dft} = \frac{4\epsilon_{Si} E_c^2}{9qBV_{DS}} \approx 1.9 \times 10^{18} BV_{DS}^{-1.4} / \text{cm}^3, \quad (3)$$

$$W_{Dft} = \frac{3BV_{DS}}{2E_c} \approx 0.018 BV_{DS}^{1.2} \mu\text{m}. \quad (4)$$

值得注意的是公式(2)、(3)、(4)中击穿电压 BV_{DS} 并非是器件所要求的击穿电压,这是由于在器件关断时,器件中环绕有源区的终端结构(junction termination structure, JTS)所承受的电场强度超过元胞区域的电场强度,使得终端结构的耐压值 BV_{JTS} 最低可能仅有元胞的 80% 左右^[3](见图 2 中 BV_{JTS} 曲线)。因此对于所设计器件,公式(2)、(3)、(4)中 BV_{DS} 应取设计指标的 120% 以上才能为整个器件留出足够的裕量^[13-14]。

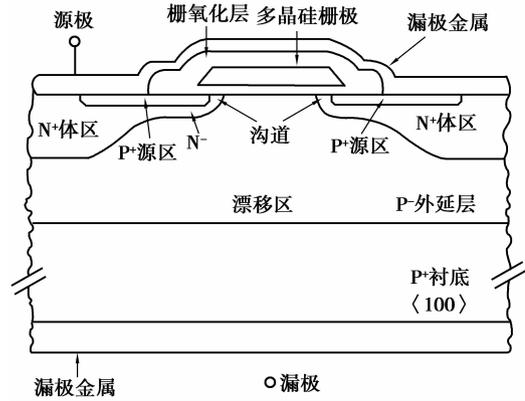


图 1 P 沟道 VDMOS 元胞剖面结构

Fig.1 The cross-section of P-channel VDMOS cell structure

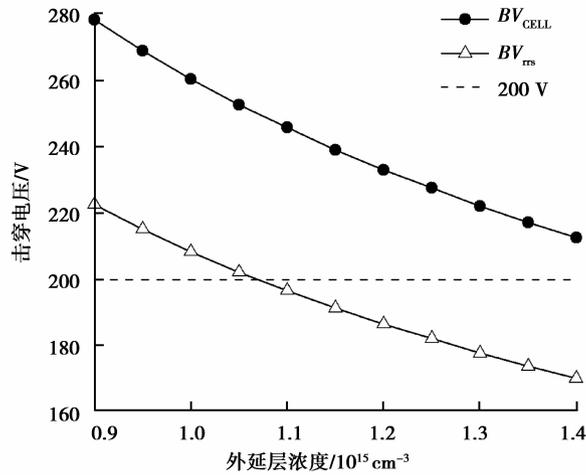


图 2 外延层掺杂浓度与击穿电压关系

Fig.2 Relationship between Concentration of epitaxial layer and breakdown voltage

利用公式(2)、(3)、(4) 可以求出 N_{Dft} 和 W_{Dft} 的近似值分别为 $1.15 \times 10^{15} / \text{cm}^3$ 及 $10.39 \mu\text{m}$, 结合外延片生产工艺, 通过 Silvaco 的器件特性仿真模块 Atlas 对外延层浓度与元胞击穿电压的关系进行仿真, 得到图 2 中 BV_{CELL} 曲线, 此时所估算器件终端结构的击穿电压为 BV_{JTS} 曲线, 可见要使器件整体达到设计所要求的击穿电压, 实际流片时应选取外延片杂质浓度 N_{Epi} 为 $1 \times 10^{15} / \text{cm}^3$, 略低于公式(3)所得值。虽然这样会导致器件 R_{on} 稍有增加, 但为整个器件的击穿电压留出了足够余量。在确定外延层厚度 W_{Epi} 时, 除了由公式(4)所得到的漂移区厚度 W_{Dft} 以外, 还需加入 N+ 体区的结深, 以及由于工艺流程中扩散步骤导致的高浓度衬底杂质向轻掺杂外延层反扩散所损失的厚度, 因此将 W_{Epi} 参数定为 $25 \mu\text{m}$ 。

阈值电压 V_{th} 是 P 沟道 VDMOS 的第 3 个重要指标。为方便讨论, 在 P 沟道 VDMOS 器件的 V_{th} 公式^[9] 中将栅氧化层特征电容 C_{ox} 用电容定义式替换掉之后可得

$$V_{\text{th}} = \frac{t_{\text{ox}}}{\epsilon_{\text{ox}}} \sqrt{4\epsilon_{\text{Si}} k T N_{\text{D}} \ln\left(\frac{N_{\text{D}}}{n_i}\right)} + \frac{2kT}{q} \ln \frac{N_{\text{D}}}{n_i} + \psi_{\text{ssi}} - \frac{t_{\text{ox}} Q_{\text{ox}}}{\epsilon_{\text{ox}}}, \quad (5)$$

式中: ψ_{ssi} 是器件所采用 P+ 型多晶硅栅与 N- 沟道之间的表面势。由式(5)可知, V_{th} 与栅氧化层厚度 t_{ox} 及 N- 沟道区杂质最大浓度 N_{D} 相关。对于实际生产中在栅氧化层中引入的氧化物电荷 Q_{ox} , 不妨假设其全部位于金属-氧化物界面处, 根据工艺条件选取氧化物电荷面密度 $Q_{\text{ox}} = 1 \times 10^{11} / \text{cm}^2$ 。栅氧化层厚度 t_{ox} 应至少满足

$$t_{\text{ox}} = V_{\text{c}} / E_{\text{c,ox}}, \quad (6)$$

式中: $E_{\text{c,ox}}$ 为 SiO_2 的击穿场强, 一般为 $(5 \sim 10) \times 10^6 \text{ V/cm}$, 其具体取值与栅氧化层制备工艺水平决定, 因此在工艺中需要特别留意栅氧化层质量。设计指标要求栅源电压的范围为 $-20 \sim +20 \text{ V}$, 由前面对阈值电压的分析, 再结合流片生产线工艺水平, 将栅氧化层厚度取 800 \AA 。

在工艺流程中, 磷被注入外延层中形成 N 阱, 并在高温作用下将其驱入栅氧化层下方, 以完成沟道的制作。沟道区磷注入剂量与 V_{th} 之间关系见图 3。考虑到器件工作环境及工艺线水平, 选取磷注入剂量为 $5 \times 10^{13} / \text{cm}^2$, 此时提取的 V_{th} 为 -2.78 V 。

经仿真确定的器件部分关键参数由表 1 给出。

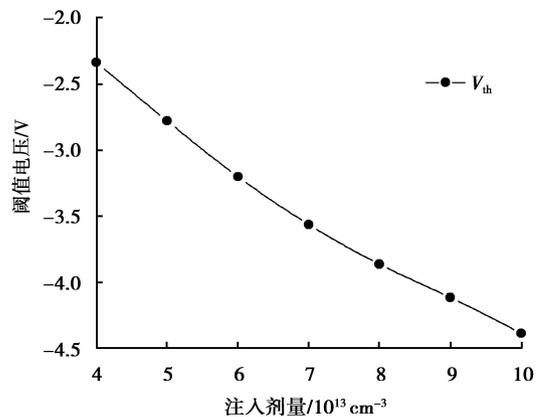


图 3 沟道区掺杂剂量与阈值电压关系

Fig.3 Relationship between dose of channel region and threshold voltage

表 1 设计器件部分关键参数
Table 1 The main parameters of designed device

衬底浓度 / cm^{-3}	漂移区 浓度/ cm^{-3}	外延层 厚度/ μm	栅氧化层 厚度/ \AA	沟道掺杂 剂量/ cm^{-2}	沟道长度 / μm
6×10^{18}	1×10^{15}	25	800	5×10^{13}	≥ 2

此外,为了使器件整体击穿电压达到设计标准,笔者在文献[15]所设计的 -80 V 的P沟道VDMOS所采用结终端结构基础上为该器件设计了如图4所示的终端结构,采用了2组两级多晶硅-金属场板与单场限环复合的结构,其击穿电压达到 -232 V ,接近元胞击穿电压的90%,满足了设计的要求。此外,相比于其他同规格产品采用的双场限环结构^[16-18],该结构节约了芯片面积,且不需要增加额外的工艺步骤。

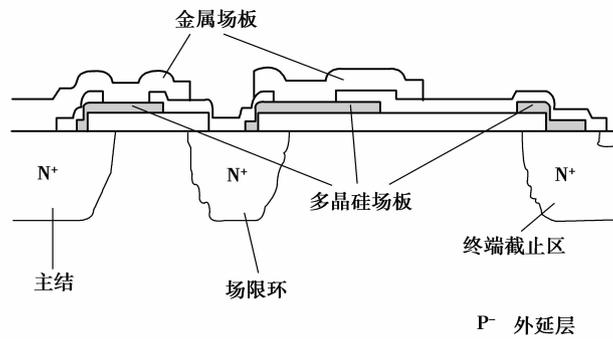


图 4 设计结终端结构

Fig.4 The cross-section of junction termination
in designed device

2 器件工艺流程仿真

以文献[8]所开发器件工艺为基础,借助 Silvaco 中的工艺仿真模块 Athena,通过仿真为该 P 沟道 VDMOS 器件设计了一套平面双扩散非自对准工艺流程,以便调整和优化工艺流程中的步骤及参数。这种方式能很好地节约流片成本,并有助于分析实际工艺中可能出现的问题。最终得到的工艺流程和参数为:1)外延片晶向 $\langle 100 \rangle$,其余参数参见表 1;2)一次氧化,淀积 Si_3N_4 ,用场氧化版光刻场氧窗口,二次氧化;3)去除 Si_3N_4 和氧化层,三次氧化,用 n+区版光刻 n+区域,n+区域磷注入并退火;4)去除有源区氧化层,栅氧化,淀积多晶硅并掺硼后退火,用 POLY 版光刻 n 区,以多晶硅为掩膜注入磷以实现沟道自对准;5)用 p+区版光刻 p+区,注入硼后扩散,通过控制扩散时间控制沟道长度及进入栅氧化层下方的距离;6)淀积磷硅玻璃,并用 VIA 版光刻引线孔,淀积源极金属;7)用 METAL 版光刻金属层,合金化,淀积钝化层;8)用 PAD 版光刻压焊点,退火;9)背金属化。该工艺流程使用了包括了场氧化、n+区、POLY、p+区、VIA、METAL 及 PAD 在内的一共 7 块光刻版。

3 仿真结果分析

对于 P 沟道 VDMOS 器件,关键的静态参数有 3 个:击穿电压、导通电阻及阈值电压。其中击穿电压是 VDMOS 器件有别于普通 MOS 器件最重要的特性。对元胞的击穿电压的仿真曲线参见图 5,提取 BV_{DS} 为 260.6 V ,为器件的终端结构留出了足够余量。

器件的输出特性曲线如图 6 所示,相比于普通的 P 沟道 MOS 器件,它有 2 个明显不同的特点^[12]。一是饱和区的输出特性曲线更平(见图 6 中 A 区域),说明其输出阻抗很高,这是因为元胞之间形成相互耗尽,造

成使空穴移动的有效漏端电压 V_D' 大幅度降低,当 V_{DS} 增加时, N 阱对电场的屏蔽作用使 V_D' 变化很小;并且此时沟道内空穴速度已经饱和,几乎不随 V_D' 变化,因此在饱和区内 I_D 基本不发生变化。另一个特点是它存在一个明显的准饱和区(Quasi-Saturation region,见图 6 中 B 区域),在该区域内 I_D 随 V_{DS} 增加,但 V_{GS} 增加时 I_D 变化极小,这一区域在设计的高压 VDMOS 中表现得尤其明显。其主要原因是在高压 VDMOS 中,寄生电阻 R_{JFET} 与 R_{Epi} 阻值很大且串联在漏端,且其阻值将随 V_{DS} 增加,由于这个串联电阻对 V_{DS} 的分压作用,使得寄生 JFET 的导电沟道始终无法夹断,流过寄生 JFET 的电流不会趋于饱和,但会逼近一个极限。准饱和区使得器件在击穿前的 I_D 始终存在一个极限,并且在准饱和区工作时器件的跨导将会急剧下降,严重限制了器件的性能,因此需要在实际应用中加以留意。

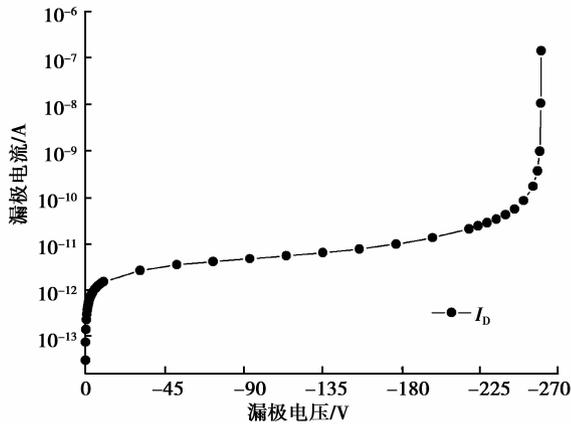


图 5 器件元胞击穿曲线

Fig.5 The breakdown voltage curve of designed device

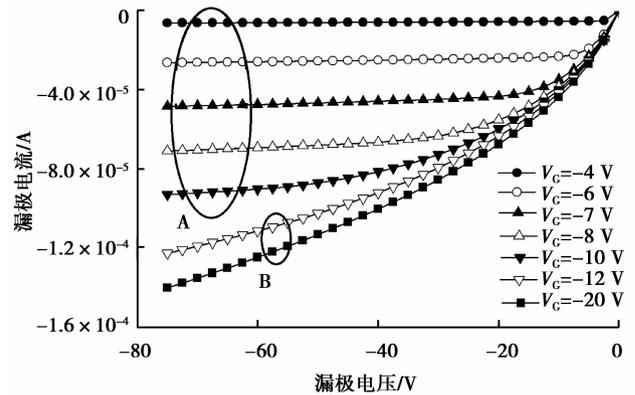


图 6 设计器件的输出特性曲线

Fig.6 The output curves of designed device

4 结 语

通过对 P 沟道 VDMOS 器件结构中几个关键因素与性能关系的分析,设计了一款击穿电压超过 -200 V、阈值电压 -2.78 V 的高压大功率 P 沟道 VDMOS 器件,利用 Atlas 对其元胞结构进行了仿真和优化。同时,采用 Athena 开发了针对该器件的工艺参数和流程。本文的研究结果对项目后续器件的流片提供了有益参考。

参考文献:

- [1] 张波. 功率 MOSFET 的研究与新发展[C]//2010'全国半导体器件技术研讨会论文集. 杭州: 半导体技术杂志社, 2010: 6-10.
ZHANG Bo. Research and development of power MOSFET[C]//2010' Workshop on National Semiconductor Device Technology. Hangzhou: Semiconductor Technology Magazine, 2010:6-10. (in Chinese)
- [2] 孙伟锋, 张波, 肖胜安, 等. 功率半导体器件与功率集成技术的发展现状及展望[J]. 中国科学(信息科学), 2012, 42(12): 1616-1630.
SUN Weifeng, ZHANG Bo, XIAO Shengan, et al. Development and trend of power semiconductor devices and power integrated technology[J]. Scientia Sinica (Informationis), 2012, 42(12): 1616-1630. (in Chinese)
- [3] Tan Chan-Lik, Strasser M. Improved deep body implant on breakdown voltage in super junction of vertical VDMOS[C]//25th Advanced Semiconductor Manufacturing Conference (ASMC), Saratoga Springs, NY, USA. NY: IEEE, 2014: 362-364.
- [4] Liu Siyang, Zhu Rongxia, Jia Kan, et al. A novel model of the high-voltage VDMOS for the circuit simulation[J]. Solid-State Electronics, 2014, 93:21-26.

- [5] Naugarhiya A, Kondekar P N. Electrical characteristics comparison between process and device structures of super junction VDMOS[C]//IEEE International Conference on Control, Automation, Robotics and Embedded System(CARE): Jabaipur, India. Jabaipur: IEEE, 2013:1-4.
- [6] Sun Weifeng, Zhu Jing, Qian Qingsong, et al. Trench superjunction VDMOS with charge imbalance cell[J]. Solid-State Electronics, 2011, 64(1): 14-17.
- [7] How P-channel MOSFETs can simplify your circuit[EB/OL]. Application Note AN-940. International Rectifier. [2015-12-11]. <http://www.irf.com/technical-info/appnotes/an-940.pdf>.
- [8] 蒲石,郝跃.一种 P 沟 VDMOS 器件的研究与实现[J].西安电子科技大学学报.2013,40(6):58-61.
PU Shi, HAO Yue. The development and realization of P-channel VDMOS[J]. Journal of Xidian University, 2013, 40(6): 58-61. (in Chinese)
- [9] Baliga B J. Fundamentals of power semiconductor devices[M]. New York:Springer Science Business Media, LLC, 2008.
- [10] Hu C M, Chi M H, Patel V M. Optimum design of power MOSFET's[J]. IEEE Transactions on Electron Device, 1984, 31(12): 1693-1700.
- [11] Vrej B. Power MOSFET basics[EB/OL]. Application Note AN-1084. International Rectifier. [2016-12-11]. <http://www.irf.com/technical-info/appnotes/an-1084.pdf>.
- [12] 陈星弼.功率 MOSFET 与高压集成电路[M].南京:东南大学出版社,1990.
CHEN Xingbi. Power MOSFET and high voltage integrated circuit[M]. Nanjing: Southeast University Press, 1990. (in Chinese)
- [13] Jiang Wei. Statical simulation and analysis on 650V VDMOS tubes[C] // 2013 2nd International Conference on Measurement, Information and Control (ICMIC); Piscataway, NJ, USA. NJ: IEEE, 2013: 1311-1314.
- [14] Zheng Shouguo, Zhang Jian, Zeng Xinhua, et al. Design and process simulation on high voltage VDMOS[M]. Advances in Intelligent and Soft Computing, Vol.127; Springer Berlin Heidelberg, 2012: 155-164.
- [15] 蒲石,杜林,张得玺.高压 P 沟道 VDMOS 的复合耐压终端研究[J].西安电子科技大学学报.2015,42(6):84-89.
PU Shi, DU Lin, ZHANG Dexi. Study on combined edge termination for high voltage P-channel VDMOS[J]. Journal of Xidian University. 2015, 42(6): 84-89. (in Chinese)
- [16] 胡佳贤,韩雁,张世峰,等.高压 VDMOS 结终端技术研究[C]//2010全国半导体器件技术研讨会论文集.杭州:半导体技术杂志社,2010: 62-64.
HU Jiaxian, HAN Yan, ZHANG Shifeng, et al. Research on junction termination technique for VDMOSFET[C]// 2010 Workshop on National Semiconductor Device Technology. Hangzhou: Semiconductor Technology Magazine, 2010: 62-64. (in Chinese)
- [17] 黄京才,陈骞,许允亮.大功率 VDMOS(200 V)的设计研究[J].现代电子技术,2011,34(18):195-197.
HUANG Jingcai, CHEN Qian, XU Yunliang. Design of 200 V high power VDMOS[J]. Modern Electronics Technique, 2011, 34(18): 195-197. (in Chinese)
- [18] 孙嘉兴,宁润涛,胡子阳,等.利用 Tsuprem4 和 Medici 对 200 伏 VDMOS 进行虚拟制造[J].辽宁大学学报,2006,33(1): 42-45.
SUN Jiaying, NING Runtao, HU Ziyang, et al. Virtual fabrication of 200 volt VDMOS by Tsuprem4 and Medici[J]. Journal of Liaoning University, 2006, 33(1):42-45. (in Chinese)