

doi:10.11835/j.issn.1000-582X.2021.11.001

一种应用于高速锁相环的宽锁定范围注入锁定分频器

邢子哲

(天津大学 天津市成像与感知微电子技术重点实验室, 天津 300072)

摘要:针对传统的注入锁定分频器锁定范围较窄的问题,提出了一种用于毫米波锁相环的注入锁定分频器。基于 55 nm CMOS 工艺,设计了一种宽锁定范围的二分频注入锁定分频器。提出分布式差分注入的方式,增强注入电流与注入效率,采用高阶变压器作为谐振腔,在不使用调谐机制的条件下,有效增大了分频器的锁定范围。此外,还对传统 buffer 的结构进行改进,增强谐波抑制能力,保持了较宽的锁定范围。电路仿真结果表明,提出的分频器电路在 0 dBm 注入功率下可在 22.8~36.3 GHz 频段内完成二分频功能,达到 45.7% 的锁定范围,电路的功耗为 3.54 mW(不含 buffer)。

关键词:分频器;CMOS;锁相环;宽锁定范围;分布式注入;高阶谐振腔

中图分类号:TN433

文献标志码:A

文章编号:1000-582X(2021)11-001-08

A wide locking range injection-locked frequency divider for high-speed phase-locked loop

XING Zizhe

(Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology,
Tianjin University, Tianjin 300072, P. R. China)

Abstract: A 30 GHz wide locking range injection-locked frequency divider based on 55 nm CMOS process for millimeter-wave phase-locked loop was proposed to overcome the problem of narrow locking range of traditional injection-locked frequency dividers. Distributed direct injection and high-order transformer resonator were applied to the frequency divider to increase the injection current and injection efficiency, thus achieving wide locking range without tuning mechanisms. Harmonic suppression technique was also adopted to the output buffer to improve the locking range with no penalty in power consumption. The post simulation results show that the locking range of the proposed frequency divider was 22.8-36.3 GHz (45.7%) at the injection power of 0 dBm and the power dissipation of core circuit was 3.54 mW.

Keywords: frequency divider; CMOS; phase-locked loop; wide locking range; distributed injection; high-order resonator

分频器是毫米波锁相环电路中的核心模块之一,常用于压控振荡器输出信号的分频,可与参考信号比较完成锁相,最终使锁相环电路产生稳定的本振信号^[1]。相较于电流模逻辑静态分频器与密勒分频器,注入锁

收稿日期:2020-12-10

基金项目:国家重点研发计划资助项目(2016YFA0202200)。

Supported by National Key R&D Program of China(2016YFA0202200).

作者简介:邢子哲(1994—),女,硕士研究生,主要从事射频集成电路方向,(E-mail)xingzizhezz@163.com。

定分频器具有工作频率高、功耗低的优势,更适于作为锁相环系统中的第一级分频器^[2]。为了避免工艺偏差造成的影响,并满足毫米波通信系统对宽带或多带工作的需求,注入锁定分频器应在保证功耗较低、面积较小的同时,达到更宽的锁定范围^[3]。目前,已有多种扩展锁定范围的技巧被应用于注入锁定分频器的设计中。文献[4]采用峰化电感(Inductive-peaking)与变压器反馈(Transformer feedback)的技巧设计了一个基于0.13 μm CMOS工艺的注入锁定分频器,峰化电感能够与寄生电容谐振从而增大注入管源漏极的电压摆幅,导致注入效率降低,锁定范围无法大幅扩展。文献[5]利用可变电容管设计了一个基于65 nm CMOS工艺的分频器,通过改变自谐振频率来增大锁定范围,但在锁相环系统中需要加入控制电路来同时对压控振荡器与分频器进行调节,这会增大锁相环系统的功耗与复杂度。文献[6]提出一个基于65 nm CMOS的频率跟踪(Frequency-tracking)分频器,但是引入的无源器件会令芯片面积变大。

在对传统注入锁定分频器电路结构与性能指标的分析基础上,提出一种基于55 nm CMOS工艺的宽锁定范围注入锁定分频器。采用变压器作为高阶LC谐振腔,并利用分布式差分直接注入,有效地扩大锁定范围,达到了较好的整体性能。电路仿真结果表明,注入锁定分频器可在22.8~36.3 GHz内实现准确二分频,锁定范围为45.7%。注入锁定分频器达到较好的整体性能,可用于30 GHz频段的锁相环电路中。

1 传统注入锁定分频器原理分析

传统的注入锁定分频器有2种注入方式,如图1所示。图1(a)中的 M_{inj} 既起到电流偏置的作用,同时也是注入管。因此,分频器需要大尺寸的 M_{inj} 提供足够的输入跨导与直流电流,保证稳定振荡。 M_{inj} 将注入信号传输到 M_{c1} 与 M_{c2} 的共源节点,使其与分频器自谐振频率的二次谐波波进行注入锁定。但是,高频注入信号由 M_{inj} 的寄生电容短接到地,导致注入效率较低,锁定范围较窄^[7]。图1(b)中,直接注入的方式将注入管 M_{inj} 接在谐振腔的两端,可以提高注入效率,且管子尺寸较小,可达到更宽的锁定范围^[8]。

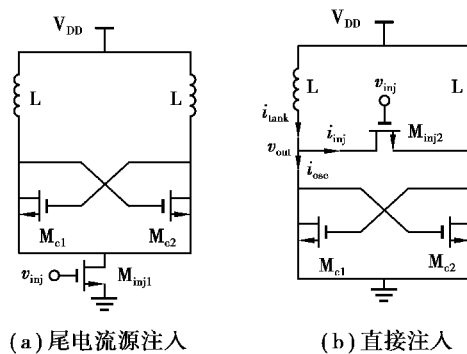


图1 2种传统的注入方式

Fig. 1 Two conventional injection methods

直接注入的注入锁定分频器工作原理如图2(a)所示。注入管 M_{inj} 将频率为 f 的注入信号 v_{inj} 与分频器的输出信号 v_{out} 进行混频,产生含有 $f/2$ 与 $3f/2$ 两个分量的信号,经过谐振腔的滤波,最终输出频率为 $f/2$ 的信号。由图1(b)可见,

$$i_{\text{tank}} = i_{\text{osc}} + i_{\text{inj}} \quad (1)$$

$$i_{\text{osc}} = g_m v_{\text{out}} = g_m Z_{\text{tank}} i_{\text{tank}} \quad (2)$$

其中, Z_{tank} 是谐振腔阻抗; g_m 表示交叉耦合管产生的负阻。

图2(b)表示了三者之间的相位关系。角 θ 表示 i_{osc} 与 i_{tank} 的相位差,由式(2)可见, $\theta = -\angle Z_{\text{tank}}$,即 θ 等于谐振腔导致的相移大小。根据巴克豪森稳定性准则,当分频器注入锁定时,要求 i_{inj} 能够补偿 i_{tank} 与 i_{osc} 之间的相位差^[9]。由图2(b)可见,在 $|i_{\text{inj}}|$ 与 $|i_{\text{osc}}|$ 不变的条件下, θ 的最大值产生于 i_{tank} 与 i_{inj} 垂直时,即通过注入可补偿的最大相位为

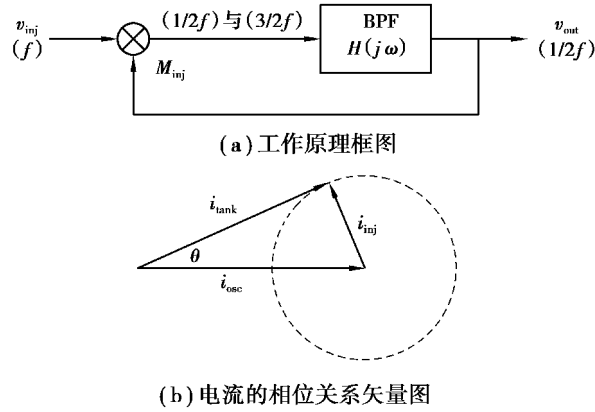


图 2 传统注入锁定分频器

Fig. 2 Conventional injection-locked frequency divider

$$\theta_{\max} = \arcsin\left(\frac{|i_{\text{inj}}|}{|i_{\text{osc}}|}\right) = \arctan\left(\frac{|i_{\text{inj}}|}{|i_{\text{tank}}|}\right), \quad (3)$$

因此,分频器注入锁定的条件是

$$|\angle Z_{\text{tank}}(\omega)| \leq \arcsin\left(\frac{|i_{\text{inj}}|}{g_m |v_{\text{out}}|}\right), \quad (4)$$

当 i_{tank} 与 i_{osc} 的相位差大于 θ_{\max} 时,注入电流无法补偿谐振腔的相移,分频器将无法锁定。

传统的谐振腔阻抗可表示为

$$Z_{\text{tank}} = \frac{R_p}{1 + jQ \frac{\omega_{\text{inj}}^2 - \omega_0^2}{\omega_0^2}} \approx \frac{R_p}{1 + j2Q \frac{\omega_{\text{inj}} - \omega_0}{\omega_0}}, \quad (5)$$

其中, $\omega_0 = \frac{1}{\sqrt{LC}}\omega_0 = \frac{1}{\sqrt{LC}}\omega_0 = \frac{1}{\sqrt{LC}}$ 是谐振腔的自谐振频率; Q 代表其品质因数。由式(5)可见,谐振腔的相移 θ 为

$$\tan\theta \approx \frac{2Q}{\omega_0}(\omega_0 - \omega_{\text{inj}}) \quad (6)$$

结合式(3)、式(6),分频器的锁定范围可表示为

$$2(\omega_{\text{inj}} - \omega_0) = \frac{\omega_0}{Q} \frac{i_{\text{inj}}}{i_{\text{osc}}} \frac{1}{\sqrt{1 - \left(\frac{i_{\text{inj}}}{i_{\text{osc}}}\right)^2}}. \quad (7)$$

由以上分析可知,注入锁定分频器的正常工作需要满足 2 个条件,即相位条件与增益条件^[10]。为了满足相位条件,需要大注入电流 i_{inj} 来补偿谐振腔导致的相移,即令 $|\angle Z_{\text{tank}}(\omega)| \leq \theta_{\max}$; 为了满足增益条件,需要交差耦合管提供足够大的负阻来补偿谐振腔损耗,保证振荡,即令 $|Z_{\text{tank}}| \geq |Z_{\text{start-up}}|$, 其中 $|Z_{\text{start-up}}|$ 为电路起振所需的最小谐振腔阻抗。

根据式(2)、式(4)、式(7),锁定范围通过以下方式增大:1)增大 i_{inj} , 增强注入的能量,但对前级 VCO 的输出要求很高,在毫米波频段较难达到;2)减小 i_{osc} , 以降低分频器对注入能量的要求,但是 i_{osc} 不能过小,要保证电路有足够的负阻 g_m , 以满足增益条件;3)减小谐振腔的品质因数 Q , 但电路振荡所需的偏置电流增大,导致功耗变大。

2 注入锁定分频器电路设计

文中注入锁定分频器的电路图,如图 3 所示。交叉耦合管 M_1 与 M_2 为分频器提供所需的负阻,保证电路的振荡,并补偿谐振腔的损耗。前级压控振荡器产生的差分信号通过传输线 $TL_1 \sim TL_4$ 注入到 2 对互补管 M_3M_4 、 M_5M_6 ,直接注入管起到了混频的作用。晶体管 M_7 作为电流源,通过控制电压 V_B 来调节分频器的直流电流。2 组变压器 $L_1L_2L_3$ 与 $L_4L_5L_6$ 是注入锁定分频器谐振腔的核心。每组变压器分别由 3 个相互弱耦合的线圈组成, L_1 与 L_2 可看作分布式电感, L_3 与二者耦合,连接到分频器的输出 buffer。电容 C_t 连接在 L_1 两端,通过改变谐振腔电容值来优化锁定范围。分频器输出端连接到共源极 buffer,一方面提高输出功率,降低对后级分频器的要求,另一方面采用了谐波抑制技术,改善了输出信号的质量,提高了锁相环系统的稳定性。

2.1 高阶谐振腔与片上变压器的设计

由式(4)可见,令分频器锁定的相位条件为 $|\angle Z_{\text{tank}}(\omega)| \leq \theta_{\text{max}}$,可通过改善相位条件来增大锁定范围。在文献[3,11]中,采用了传统扩展锁定范围的方式,即增大注入管尺寸来得到更大的 θ_{max} ,文中分频器在仔细选择注入管尺寸的同时减小了谐振腔相移 $|\angle Z_{\text{tank}}(\omega)|$ 。

文献[9,12]使用了二阶 LC 谐振腔,锁定范围比较受限。由图 4 可见,二阶 LC 谐振腔的相位响应曲线在中心频点处斜率较大,使得谐振腔在较宽频段内的相移过大,很难被注入管提供的相移补偿,导致分频器的锁定范围变小^[13]。虽然,二阶 LC 谐振腔的阻抗在中心频点处较大,可充分满足增益条件,但较陡的相位响应曲线无法在较宽的带宽内满足相位条件,整体锁定范围较窄。为改善这种状况,可以降低谐振腔的 Q 值得到较平缓的相位响应曲线,但这会导致分频器起振困难,需要较大的偏置电流才能稳定振荡^[14]。同时,低 Q 值二阶 LC 谐振腔的相位响应还不够平坦。因此,文中的分频器采用四阶 LC 谐振腔来有效扩展锁定范围。

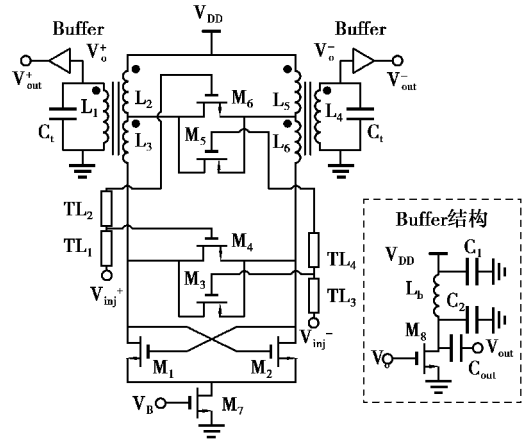


图 3 注入锁定分频器的电路结构

Fig. 3 Injection-locked frequency divider topology

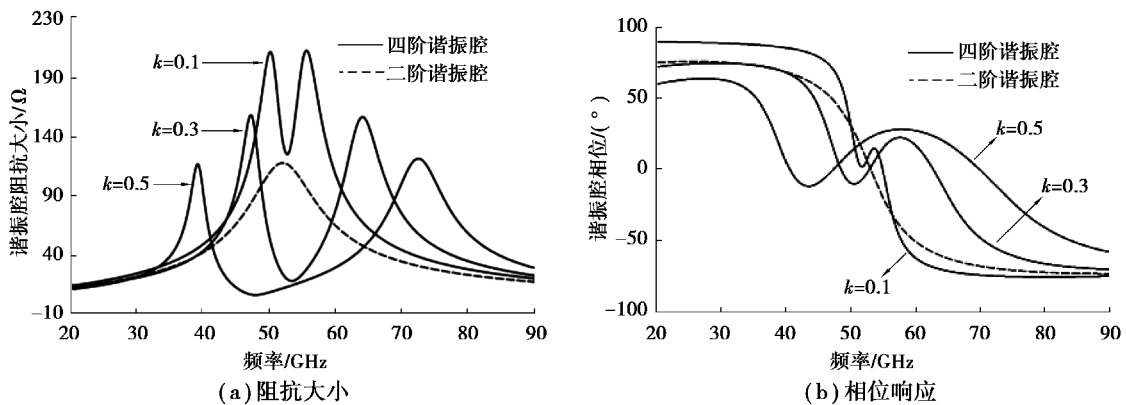


图 4 谐振腔曲线

Fig. 4 Curves of resonators

由图 4 可见,四阶 LC 谐振腔的阻抗大小呈现 2 个相邻的峰值,其相位响应在 0° 附近为波纹状的平缓曲线,能在更宽的带宽内满足增益条件与相位条件。

为了让分频器满足 $|Z_{\text{tank}}| \geq |Z_{\text{start-up}}|$ 与 $|\angle Z_{\text{tank}}(\omega)| \leq \theta_{\text{max}}$ 2 个条件,设计变压器时需要仔细选择参数。分频器的锁定范围可以用式(8)预估,再通过仿真调整变压器参数进行优化^[13]。

$$\omega_L = \frac{1}{\sqrt{(L_2 + L_3)C_1}}, \omega_H = \frac{1}{\sqrt{L_1 C_2}} \quad (8)$$

其中, C_1 与 C_2 分别表示变压器初级线圈与次级线圈两端连接的总等效电容。变压器中 L_1 的值越大, 谐振腔低频处的峰值越大, 中心频点处阻抗值越小, 相位响应的波纹状曲线频率范围越窄。 L_2 与 L_3 的影响作用类似, 其电感值增大会导致相位响应波纹曲线的幅度减小。文中采用的电感值 L_1 、 L_2 、 L_3 分别为 181.9、138.7、182.4 pH。

在图 5 中, $k = k_{12} = k_{13}$, 其中, k_{12} 与 k_{13} 分别表示 L_1 与 L_2 、 L_3 之间的耦合系数。因此, 线圈间的耦合系数对谐振腔的影响明显。大耦合系数的谐振腔可以得到更宽的波纹带宽, 且低频处的阻抗峰值更大。但是, 为了分频器满足 $|\angle Z_{\text{tank}}(\omega)| \leq \theta_{\text{max}}$, k_{12} 与 k_{13} 需适当减小, 一方面, 避免谐振腔的相移过大超过 θ_{max} ; 另一方面, 防止强耦合导致中心频点阻抗小于 $|Z_{\text{start-up}}|$, 使预期工作频率范围以内产生无法锁定的频段。以 k_{23} 表示 L_2 与 L_3 之间的耦合系数。如图 5 所示, 仿真显示 k_{23} 的大小与相位曲线的带宽成反比。将 k_{12} 、 k_{13} 、 k_{23} 的值分别设置为 0.27、0.32、0.39。此外, 变压器中 3 个线圈的品质因数 Q 值也会影响谐振腔的阻抗。如图 6 所示, 假设 $L_1 \sim L_3$ 的品质因数均为 Q , 可见变压器中电感的 Q 值越小, 阻抗曲线的波纹幅值也越小。这将导致分频器的增益条件与相位条件变差, 设计变压器应尽量使电感品质因数达到较大值。电容 C_1 用于调节 L_1 线圈的电容值, 以选择阻抗曲线波谷频率的最优值, 文中的 C_1 被设置为 50 fF。通过在起振条件、锁定范围与功耗之间折中, 设计的四阶 LC 谐振腔可使注入锁定分频器的锁定范围有效扩大。

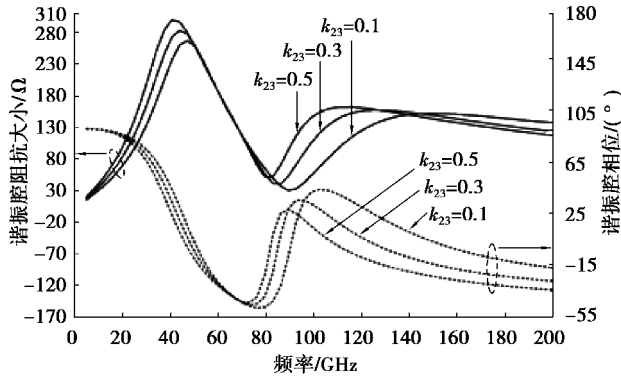


图 5 在不同 k_{23} 下的谐振腔曲线

Fig. 5 Impedance and phase response of resonators at different k_{23}

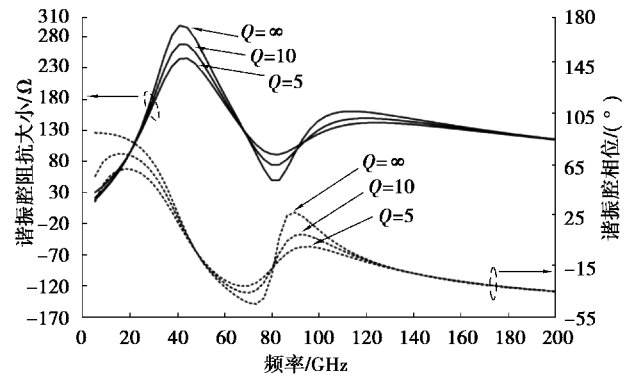


图 6 在不同电感 Q 值下的谐振腔

Fig. 6 Impedance and phase response of resonators at different Q of inductors

2.2 注入方式

为了进一步扩展锁定范围, 采用了分布式注入的方法, 通过增大 i_{inj} 来增大锁定范围。传统的注入锁定分频器只有一个谐振点, 注入电流大小与频率无关, 锁定范围有限。以 LC 梯形网络作为负载的注入锁定分频器则有多谐振点, 但它只能在其中的并联谐振点完成分频功能, 不能在串联谐振点正常工作, 所以带宽没有明显改善^[15]。相比这 2 种结构, 分布式注入的方法能增强注入电流, 可令分频器在并联与串联谐振点都满足起振条件, 锁定范围与分频器所需的注入功率都有所改善。根据文献^[15], 对于 n 级的分布式注入结构的等效注入电流为

$$I_{\text{inj,eff}} = \sum_{i=1}^n \left[\frac{1}{2} I_i \cos(\sqrt{LC}(n-i)\omega) + \frac{1}{2} I_i \frac{\sin(\sqrt{LC}i\omega) \cos(\sqrt{LC}\omega) - \cos(\sqrt{LC}n\omega) \sin(\sqrt{LC}(n-i)\omega)}{\sin(\sqrt{LC}n\omega)} \right] \quad (9)$$

从式(9)可知, 分布式注入的电流大小与频率 ω 相关, 由仿真验证当频率大于第一谐振点时, 其注入电流逐步增大, 大于传统结构的电流大小, 并在第一并联谐振点达到峰值^[15]。注入级数与锁定范围呈现正比关系, 考虑芯片面积, 选择了两级分布式注入, 即 $n=2$, 已能达到较宽的锁定范围。通过仔细选择注入管 $M_3 \sim M_6$ 的尺寸与 L_2 、 L_3 的电感值, 使两级的注入电流正向叠加。因此, 分频器自谐振频率以上的频段内 i_{inj} 得到增强, 有效增强了注入分频器的能量, 提高了最高分频频率, 扩大了锁定范围。

除了分布式注入,还采用了差分注入的方式,在拓展锁定范围的同时,便于与前级 VCO 的差分输出连接。当 VCO 的信号传入注入锁定分频器中时,注入管起到混频器的作用,将注入信号与其漏极的晶体管输出信号混频,得到的 i_{inj} 流入谐振腔。 i_{inj} 可表示为

$$i_{inj} = KG_m v_{inj} v_{out} \quad (10)$$

其中, K 表示等效直流电压; G_m 为注入管的跨导; v_{inj} 为注入信号; v_{out} 是漏极输出电压^[16]。文中采用 nMOS 与 pMOS 源漏极相互连接的形式,增强了注入管跨导 G_m , 增大注入电流 i_{inj} , 减小了总体寄生电容的大小,使得分频器的锁定范围有所改善。同时,差分注入管便于与 VCO 的差分输出进行连接。

2.3 谐波抑制输出 Buffer

注入锁定分频器的输出信号需要经过 1 个 buffer 传输到下一级分频器,以减小负载效应对其性能的影响^[17]。注入锁定分频器作为锁相环的第一级分频器,输出信号的基波应大于谐波。在图 3 所示分频器 buffer 中, L_b 与旁路电容 C_1 用于偏置 buffer 管 M_8 。为了滤除谐波, L_b 的电感值往往较大,否则谐波将大于基波,导致信号质量较差,锁定范围变窄。但是 L_b 占用了过大的芯片面积。

在偏置网络中再引入谐波短路电容 C_2 ,使得偏置网络变为二次与三次谐波交流地,从而达到抑制谐波的作用。通过仿真对比,此 buffer 结构将基波与二次谐波的功率比提高了 10.91 dB。

3 后仿真结果

文中的注入锁定分频器采用 GF 55 nm CMOS 实现。在 1.2 V 的电源电压下,分频器的功耗为 3.54 mW(未计入 buffer)。注入锁定分频器的版图,如图 7 所示,分频器核心电路的尺寸为 0.49 mm×0.16 mm。文中分频器在功率为 0 dBm 的 30 GHz 信号注入时的输出波形如图 8 所示。由输入信号 V_{inj} 、buffer 之前信号 V 与最终输出信号 V_{out} 的波形可见分频器电路能准确完成二分频的功能。 V 信号经过输出 buffer 的滤波得到 V_{out} 信号,显示了 buffer 良好的谐波抑制效果。此外,buffer 还对输出信号起到了放大作用,降低了对后级分频器的要求。

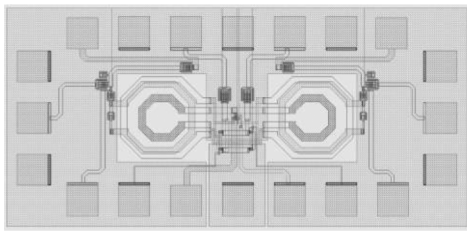


图 7 注入锁定分频器的版图

Fig. 7 Layout of the injection-locked frequency divider

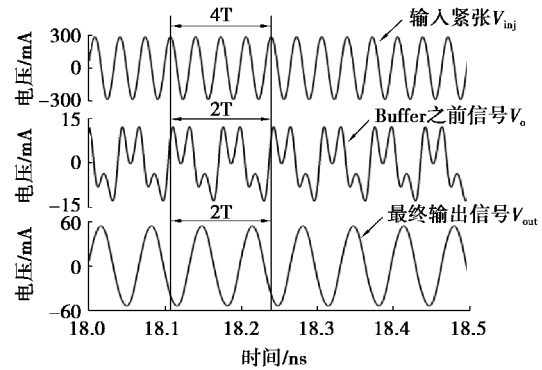


图 8 后仿真的输出信号瞬态波形

Fig. 8 Transient signals of post-simulation

注入锁定分频器灵敏度曲线的前仿真结果与后仿真结果如图 9 所示。二者存在的差异:1)不同于前仿真结果曲线,后仿真中的分频器灵敏度曲线为 2 段相连的锁定范围组成。其中,当注入信号为 26.5~31 GHz 时,分频器在后仿真中需要大于 -12 dBm 的注入功率。由于版图中的寄生效应,变压器中 3 个线圈在版图中的电感比理想电感的 Q 值更小,导致分频器的增益条件与相位条件一定程度地恶化。因此,后仿真中在谐振腔阻抗大小的波谷频段需要更大地注入功率以保证分频器的稳定振荡与正常分频。2)前仿真结果显示 0 dBm 注入功率下分频器的锁定范围为 24.9~45.0 GHz,而后仿真的锁定范围为 22.8~36.3 GHz,减小了 6.6 GHz,整体频率略有下移。主要是由于版图中的元件互感与寄生电容导致的分频器锁定范围变窄与自谐振频率变低。在进行电路设计前仿真时已经将整体频率有意上移 2 GHz,以避免后仿真结果中出现频率下移现象。最终,根据后仿真结果可知,分频器在不需调谐的情况下实现了较宽的锁定范围。

文中与其他文献中注入锁定分频器的性能指标对比如表 1 所示。在相同的注入功率下,文中注入锁定

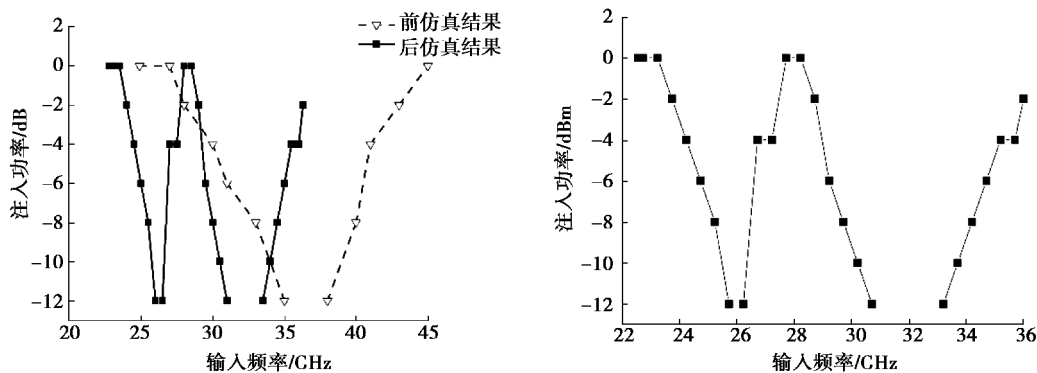


图 9 注入锁定分频器灵敏度曲线的前仿真、后仿真结果对比

Fig. 9 Sensitivity of the proposed frequency divider

分频器达到的优值(Figure of merit, FOM)最大,说明本注入锁定分频器可在锁定范围与功耗之间达到较好的折中。

表 1 文中注入锁定分频器与其他文献中注入锁定分频器的参数比较

Table 1 Injection-locked Divider Comparison

参数	CMOS 工艺/nm	分频比	注入功率/dBm	锁定范围/GHz	是否使用可调电容	功耗/mW	电源电压/V
文献[18]	180	2	0	20.5~26 (23.6%)	否	1.5	1.5
文献[5]	65	2	0	31.7~39.8 (22.7%)	是	2.5	1.0
文献[9]	180	2	0	20.5~22.9(11.1%)	否	1.73	1.2
本文	55	2	0	22.8~36.3 (45.7%)	否	3.54	1.2

* FOM=锁定范围(GHz)/功耗(mW)^[2]。

4 结 论

分析了注入锁定分频器的基本工作原理,设计了一种宽锁定范围的分频器,达到了良好的整体性能。通过分布式差分直接注入,提高了注入效率,扩展了锁定范围。采用变压器高阶谐振腔,使其相位响应曲线更加平坦,从而增大锁定范围。在相同功耗下,有效改善了分频器的锁定范围,且不需调谐电容,简化操作,整体性能更优。文中分频器在 0 dBm 的注入功率下锁定范围为 22.8~36.3 GHz(45.68%),功耗为3.54 mW,达到目前水平中较宽的锁定范围。

参考文献:

[1] Jang S L, Cheng W C, Hsue C W. Wide-locking range divide-by-3 injection-locked frequency divider using sixth-order \$RLC\$ resonator[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(7): 2598-2602.

[2] Lin Y H, Wang H E. Design and analysis of W-band injection-locked frequency divider using split transformer-coupled oscillator technique[J]. IEEE Transactions on Microwave Theory and Techniques, 2018, 66(1): 177-186.

[3] Cheng J H, Tsai J H, Huang T W. Design of a 90.9% locking range injection-locked frequency divider with device ratio optimization in 90-nm CMOS[J]. IEEE Transactions on Microwave Theory and Techniques, 2017, 65(1): 187-197.

[4] Wong Y H, Lin W H, Tsai J H, et al. A 50-to-62GHz wide-locking-range CMOS injection-locked frequency divider with transformer feedback[C]//2008 IEEE Radio Frequency Integrated Circuits Symposium, June 15-17, 2008, Atlanta, GA, USA. IEEE, 2008: 435-438.

[5] Mahalingam N, Ma K X, Yeo K S, et al. Modified inductive peaking direct injection ILFD with multi-coupled coils [J]. IEEE Microwave and Wireless Components Letters, 2015, 25(6): 379-381.

[6] Chao Y, Luong H C. Analysis and design of a 2.9-mW 53.4-79.4-GHz frequency-tracking injection-locked frequency divider in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2013, 48(10): 2403-2418.

- [7] Tiebout M. A CMOS direct injection-locked oscillator topology as high-frequency low-power frequency divider[J]. *IEEE Journal of Solid-State Circuits*, 2004, 39(7): 1170-1174.
- [8] Kim J, Lee S, Choi D H. Injection-locked frequency divider topology and design techniques for wide locking-range and high-order division[J]. *IEEE Access*, 2017, 5: 4410-4417.
- [9] Chien K H, Chen J Y, Chiou H K. Designs of K-band divide-by-2 and divide-by-3 injection-locked frequency divider with Darlington topology[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2015, 63(9): 2877-2888.
- [10] Zong Z R, Babaie M, Staszewski R B. A 60 GHz frequency generator based on a 20 GHz oscillator and an implicit multiplier[J]. *IEEE Journal of Solid-State Circuits*, 2016, 51(5): 1261-1273.
- [11] 张健, 刘昱, 王硕, 等. 基于 40 nm CMOS 工艺的毫米波注入锁定分频器[J]. *微电子学*, 2015, 45(6): 755-759.
Zhang J, Liu Y, Wang S, et al. Millimeter-wave injection-locked frequency divider in 40nm CMOS[J]. *Microelectronics*, 2015, 45(6): 755-759. (in Chinese)
- [12] Seow B E, Huang T H, Wu C Y, et al. A low-voltage 30-GHz CMOS divide-by-three ILFD with injection-switched cross-coupled pair technique[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2017, 65(5): 1560-1568.
- [13] Li A, Zheng S Y, Yin J, et al. A 21-48 GHz subharmonic injection-locked fractional-N frequency synthesizer for multiband point-to-point backhaul communications[J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(8): 1785-1799.
- [14] Zhang J Z, Cheng Y X, Zhao C X, et al. Analysis and design of ultra-wideband mm-wave injection-locked frequency dividers using transformer-based high-order resonators [J]. *IEEE Journal of Solid-State Circuits*, 2018, 53(8): 2177-2189.
- [15] Imani A, Hashemi H. Distributed injection-locked frequency dividers[J]. *IEEE Journal of Solid-State Circuits*, 2017, 52(8): 2083-2093.
- [16] Mahalingam N, Ma K X, Yeo K S, et al. Coupled dual LC tanks based ILFD with low injection power and compact size [J]. *IEEE Microwave and Wireless Components Letters*, 2014, 24(2): 105-107.
- [17] Chiang P Y, Wang Z, Momeni O, et al. A silicon-based 0.3 THz frequency synthesizer with wide locking range[J]. *IEEE Journal of Solid-State Circuits*, 2014, 49(12): 2951-2963.
- [18] Kuo Y, Tsai J, Huang T. A 1.5-mW, 23.6% frequency locking range, 24-GHz injection-locked frequency divider[C]. *The 40th European Microwave Conference*, September 28-30, 2010, Paris, France.

(编辑 陈移峰)