

文章编号:1000-582X(2010)04-109-06

改进的数字匹配滤波器的设计及 FPGA 实现

谭晓衡,杨丽丽,张 毛

(重庆大学 通信工程学院,重庆 400044)

摘 要:提出一种改进的数字匹配滤波器(digital matched filter, DMF)结构。在发送端用 2 个码元长度为 N 的同一伪随机序列重复对一个基带数据码元进行整周期扩频,替代常规的用一个码元长度为 $2N$ 的伪随机序列对一个基带数据码元进行整周期扩频。在接收端只需要用码元长度为 N 的 DMF 来实现解扩,将同一个基带数据码元内出现的两个相关峰叠加后输出即可。分析并仿真了改进的 DMF 的检测概率和虚警概率。基于递归折叠原理实现了改进的 DMF 结构。实验结果表明,在相同扩频增益的条件下,该改进结构与基本 DMF 的检测概率和虚警概率基本相同,而与递归折叠结构相比,该改进结构大大节约了硬件资源。

关键词:扩频通信;数字匹配滤波器(DMF);递归折叠;检测概率;虚警概率

中图分类号: TN914.4

文献标志码: A

Design and FPGA Implementation of an improved structure of digital matched filter

Tan Xiao-heng, Yang Li-li, Zhang Mao

(College of Communication Engineering, Chongqing University, Chongqing 400044, P. R. China)

Abstract: An improved structure of digital matched filter (DMF) is presented. Two same pseudorandom spread-spectrum sequences with the length of N are used to spread the same baseband symbol at the transmitter, which is equal to spread the baseband symbol with a spread-spectrum sequence with the length of $2N$. At the receiver, only a spread-spectrum sequence with the length of N is needed to de spread the data, and then cumulates the two correlation peaks and exports to the output. The detection probability (P_d) and the false alarm probability (P_f) are analyzed and simulated. The improved structure of DMF is implemented based on the recursive and folded principle. Experimental results show that, for the same spread gain, the improved structure has the same P_d and P_f as the basic DMF, while saves the hardware resources greatly compared with the recursive and folded structure.

Key words: spread spectrum communication; digital matched filter (DMF); recursive and folded; detection probability; false alarm probability

随着通信技术和软件无线电的发展,直接序列扩频(direct sequence spread spectrum, DSSS)技术广泛应用于军事通信和民用通信领域。伪码同步是

对期望信号实现解扩和对非期望信号扩谱的关键,它分为捕获和跟踪两个阶段。通常,跟踪可以采用鉴相器来实现,所以跟踪比捕获的实现要相对容易

收稿日期:2009-12-20

基金项目:重庆市自然科学基金资助项目(2008BB2168)

作者简介:谭晓衡(1976-),男,重庆大学教授,主要从事无线通信系统、测控及遥感信息传输、扩频通信等方向研究,
(Tel)13594017956;(E-mail)txh@cqu.edu.cn。

得多^[1],而捕获才是伪码能否同步的关键。传统的直扩系统实现伪码同步主要有 2 种方法:滑动相关法和匹配滤波器法^[2-4]。数字匹配滤波器(digital matched filter, DMF)因具有捕获速度快、设计方便以及可编程能力强等优点而广泛应用于扩频系统,因此 DMF 的捕获性能^[5-7]和资源消耗问题是当前研究的重点和热点。在众多 DMF 结构中,递归折叠结构^[8]是消耗资源相对较少的一种。然而,当伪随机码的码长 N 很大时,递归折叠结构消耗的资源仍然很大。笔者提出一种改进的 DMF 结构,分析了该结构的检测概率和虚警概率,并基于递归折叠原理实现了该改进结构,仿真结果表明,在相同扩频增益条件下,基于该改进结构的捕获系统具有与基于基本 DMF 结构的捕获系统基本相同的检测概率和虚警概率,而且与递归折叠 DMF 相比,该改进结构可以极大地降低 DMF 的资源消耗。

1 高斯白噪声下捕获系统的检测概率和虚警概率

基于 DMF 的伪码捕获电路如图 1 所示。

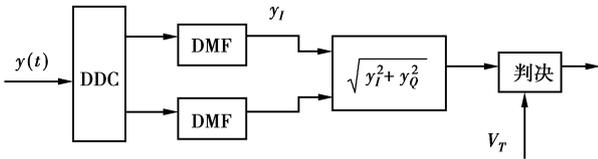


图 1 基于 DMF 的伪码捕获电路

设接收端输入信号为

$$r(t) = \sqrt{2s}c(t - \tau)\cos(\omega_c t + \theta) + n(t), \quad (1)$$

其中: s, ω_c, θ 分别为发送信号的功率、频率和相位; $c(t)$ 是 PN 码序列; $n(t)$ 是单边功率谱密度为 $\frac{N_0}{2}$ 的加性高斯白噪声。信号经数字下变频和 DMF 后正交、同相输出分别为

$$y_I = y\cos\theta + N_I, \quad (2)$$

$$y_Q = y\sin\theta + N_Q, \quad (3)$$

其中

$$y = \sqrt{s}T_c \sum_{k=1}^M C_{K+k_I} C_{K+k} = \begin{cases} \sqrt{s}T_c M, H_1, (i = 0); \\ -\sqrt{s}T_c, H_0, (i \neq 0). \end{cases} \approx \begin{cases} m_1 = \sqrt{s}T_c M, H_1; \\ m_0 = 0, H_0. \end{cases} \quad (4)$$

设接收端 PN 码与本地 PN 码同步为事件 H_1 ,

反之为事件 H_0 。 $N_I = \sum_{k=1}^M n_I(k)C_{K+k}, N_Q =$

$\sum_{k=1}^M n_Q(k)C_{K+k}$, 由于 $n_I(k)$ 和 $n_Q(k)$ 是相互独立的零均值基带高斯噪声, $E[n_I^2(k)] = E[n_Q^2(k)] = N_0 R_c / 2$, 则 N_I 和 N_Q 为零均值高斯白噪声, 其方差为 $\sigma_n^2 = N_0 M T_c / 2$ 。式中 M 为 DMF 的延迟抽头数。

设 DMF 门限为 V_t , 由文献[5]可得系统的检测概率 P_d 和虚警概率 P_f 分别为

$$P_d = Q\left(\frac{m_1}{\sigma_n}, \frac{V_t}{\sigma_n}\right). \quad (5)$$

$$P_f = \exp\left(-\frac{V_t^2}{2\sigma_n^2}\right). \quad (6)$$

1.1 基于基本 DMF 的捕获系统的检测概率和虚警概率

基于基本 DMF 的捕获系统中, 在发送端用长度为 $L=2N+1$ 的扩频码对一个基带码元进行整周期扩频, 在接收端用抽头数为 $M=L$ 的 DMF 来解扩, 则由式(4)得到

$$y \approx \begin{cases} m_{1L} = \sqrt{s}T_c L, H_1; \\ m_{0L} = 0, H_0. \end{cases}$$

而高斯白噪声 N_I 和 N_Q 的均值为 0, 方差为 $\sigma_L^2 = N_0 L T_c / 2$ 。由式(5)(6)得到

$$P_{dL} = Q\left(\frac{m_{1L}}{\sigma_L}, \frac{V_t}{\sigma_L}\right) = Q\left(\sqrt{\frac{2sT_c L}{N_0}}, \sqrt{\frac{2V_t^2}{N_0 L T_c}}\right). \quad (7)$$

$$P_{fL} = \exp\left(-\frac{V_t^2}{2\sigma_L^2}\right) = \exp\left(-\frac{V_t^2}{N_0 L T_c}\right). \quad (8)$$

1.2 基于改进 DMF 的捕获系统的检测概率和虚警概率

在发送端用 2 个码元长度为 N 的同一伪随机序列重复对一个基带数据码元进行整周期扩频, 在接收端用码元长度为 $M=N$ 的 DMF 来实现解扩, 将同一个基带数据码元内出现的 2 个相关峰叠加后输出。相关峰延时叠加结构如图 2 所示, 延时叠加过程如图 3 所示。

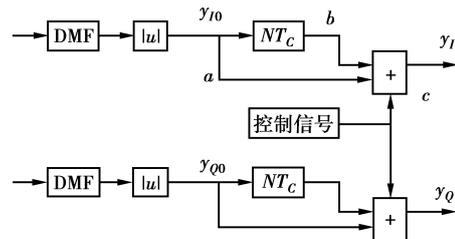


图 2 延时叠加结构图

则叠加前 $y_{I0} = y_0 \cos\theta + N_{I0}; \quad (9)$

$y_{Q0} = y_0 \sin\theta + N_{Q0}. \quad (10)$

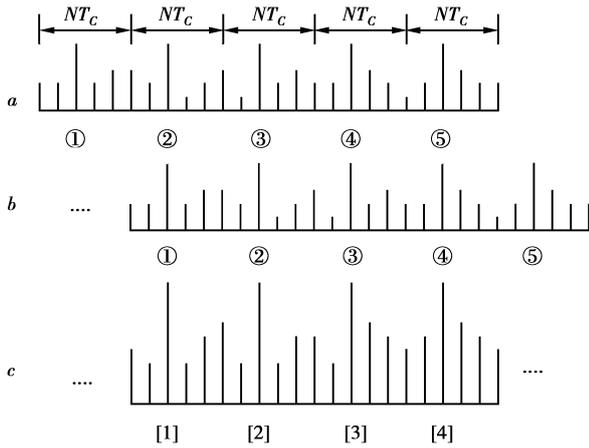


图 3 延时叠加过程

其中 $y_0 \approx \begin{cases} m_{10} = \sqrt{s}T_c N, H_1; \\ m_{00} = 0, H_0. \end{cases}$

N_{I0} 和 N_{Q0} 的均值为 0, 方差为 $\sigma_0^2 = N_0 NT_c / 2$ 。

图 2 中控制信号是控制输出端在 T_b 内的前 NT_c 内不输出(即输出为 0), 在后 NT_c 内输出叠加结果。图 3 所示的延时叠加过程中, ①②段叠加后得到[1], ③④段叠加后得到[3], 在[2][4]段不输出(输出为 0)。将整个观测时间段分为两部分来分析, 第一部分为[1][3][5]...组成的时间段, 第二部分为[2][4][6]...组成的时间段。

第一部分有

$$y_{I1} = 2y_0 \cos\theta + N_{I1}, \quad (11)$$

$$y_{Q1} = 2y_0 \sin\theta + N_{Q1}, \quad (12)$$

其中 $2y_0 \approx \begin{cases} m_{11} = 2\sqrt{s}T_c N, H_1, \\ m_{01} = 0, H_0. \end{cases}$

N_{I1} 和 N_{Q1} 分别为 T_b 内前 NT_c 内的噪声与后 NT_c 内的噪声的叠加。设信号 a 中①③⑤...组成的时间段内的噪声为 n_1 , ②④⑥...组成的时间段内的噪声为 n_2 , n_1 和 n_2 为高斯白噪声, 则有

$$E[n_1] = E[n_2] = 0, E[n_1^2] = E[n_2^2] = \sigma_0^2.$$

由于白噪声在任何 2 个时刻不相关^[9], 则 $E[n_1 n_2] = 0$, 得到 N_{I1} 和 N_{Q1} 的方差为

$$\begin{aligned} \sigma_1^2 &= D[n_1 + n_2] = \\ E[(n_1 + n_2)^2] - E^2[n_1 + n_2] &= \\ E[n_1^2] + E[n_2^2] &= \\ 2\sigma_0^2. & \end{aligned} \quad (13)$$

将上式代入式(5)、(6)得到

$$P_{d1} = Q\left(\frac{m_{11}}{\sigma_1}, \frac{V_t}{\sigma_1}\right) = Q\left(\sqrt{\frac{4sT_c N}{N_0}}, \sqrt{\frac{V_t^2}{N_0 NT_c}}\right). \quad (14)$$

$$P_{f1} = \exp\left(-\frac{V_t^2}{2\sigma_1^2}\right) = \exp\left(-\frac{V_t^2}{2N_0 NT_c}\right). \quad (15)$$

第二部分, 由检测概率的定义可知, 检测概率 P_{d2} 不存在。由于这部分的输出为 0, 则它的虚警概率 $P_{f2} = 0$ 。

综上所述, 由于 $L = 2N + 1$, 由式(7)、(8)、(14)、(15)可以看出

$$P_{dL} \approx P_{d1}; P_{fL} \approx P_{f1}.$$

2 MATLAB 仿真

在 MATLAB 中搭建 DSSS 系统, 采用 BPSK 调制, 基带信号速率 $R_b = 50$ Kbps, 基于基本 DMF 的系统扩频码长度 $L = 63$, DMF 抽头数 $M = L$ 。基于改进 DMF 的系统扩频码长度 $N = 31$, DMF 抽头数 $M = N$ 。以 E_c/N_0 为变量 ($E_c = sT_c$, 是单位 chip 的平均信号能量), 仿真时间为 $100\ 000T_b$, 仿真结果如图 4、图 5 所示。可以看出, 2 个系统的检测概率和虚警概率非常接近。

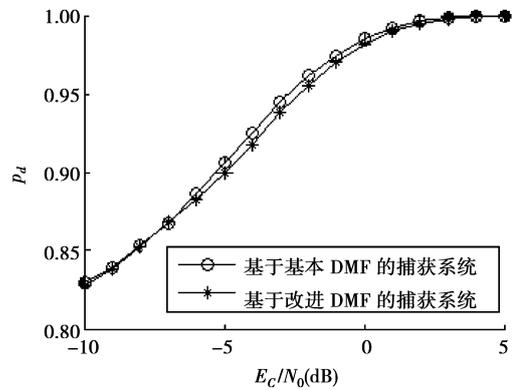


图 4 检测概率与 E_c/N_0 关系曲线

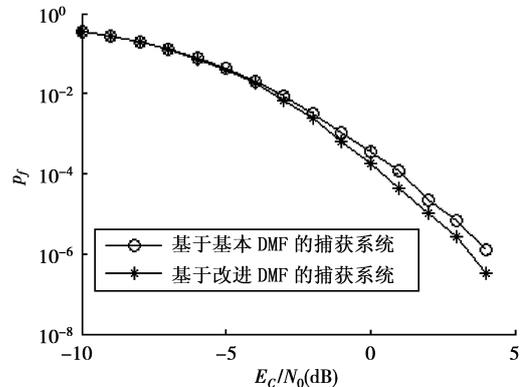


图 5 虚警概率与 E_c/N_0 关系曲线

3 Quartus 仿真与 FPGA 实现

3.1 改进的 DMF 结构

递归折叠 DMF 结构中, SRL16E 进行 16 位移

位操作。进行 $1/C$ 递归折叠时,DMF 所耗资源压缩到传统 DMF 的 $1/C$,但是工作时钟也提高到原来的 C 倍。它利用硬件规模与工作时钟的互换原理,通过递归延迟线、折叠相关运算及时分复用技术,大大降低了 DMF 的硬件资源消耗^[8]。假设采用递归折叠 DMF 的系统扩频码速率为 f_c ,DMF 输入量化位数 $D=4$,扩频码长度 $L=127$,DMF 抽头数 $M=L$,过采样倍数 $R=4$,进行 $1/4$ 递归折叠。

基于递归折叠原理实现改进的 DMF 结构^[2]。同样假设扩频码速率为 f_c ,DMF 输入量化位数 $D=4$,用 2 个长度为 $N=63$ 的扩频码对同一基带码元进行整周期扩频,DMF 抽头数 $M=N$,过采样倍数 $R=4$,进行 $1/4$ 递归折叠,改进后的 DMF 硬件结构如图 6 所示。

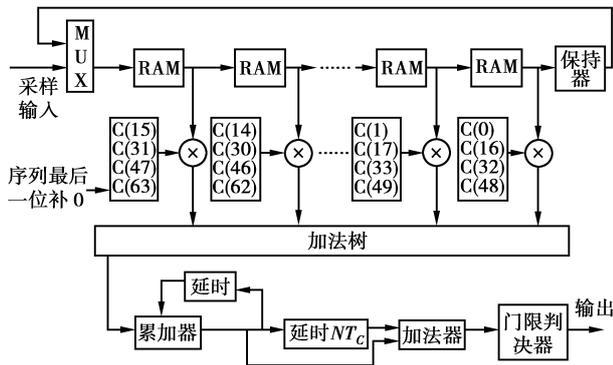


图 6 改进 DMF 结构(基于递归折叠原理)

FPGA 实现时^[10-15],若用 D 触发器实现移位功能,则 DMF 资源消耗非常大,而选用的 Altera 公司的芯片没有 SRL16E,但芯片中具有十分丰富的存储单元,因此采用 RAM 取代 SRL16E 来完成移位功能。而改进的 DMF 结构中累加器之后的延时 N 个码元周期的延时单元,可采用 RAM 和 FIFO 实现。将 RAM 和 FIFO 模块设置为 M4K,则不占用逻辑资源,而占用存储单元。

由结构图可以看出,与递归折叠 DMF 相比,改进 DMF 结构的工作时钟周期仍为 $f_0 = 16f_c$,采样速率 $f_s = 4f_c$ 。但是改进后的 DMF 消耗的乘法器,加法器,本地扩频码存储器,都只有递归折叠结构的 $1/2$,只是在累加器之后多了一个延时 N 个扩频码元周期的延时寄存器单元和一个加法器。用 RAM 和 FIFO 实现移位和延时功能,占用的是存储单元,可以大大地节约逻辑资源。

3.2 Quartus 仿真

通过 Quartus 仿真实验验证了优化效果。系统采用 BPSK 调制,扩频码速率 $f_c = 2.5$ Mchip/s,采

样速率 $f_s = 10$ MHz,工作时钟频率 $f_0 = 40$ MHz。图 7、8 为 2 种结构的资源消耗。

Revision Name	digui_dmf
Top-level Entity Name	dmf_digui
Family	Cyclone II
Device	EP2C20Q240C8
Timing Models	Final
Met timing requirements	No
Total logic elements	488 / 18,752 (3 %)
Total combinational functions	321 / 18,752 (2 %)
Dedicated logic registers	480 / 18,752 (3 %)
Total registers	480
Total pins	30 / 142 (21 %)
Total virtual pins	0
Total memory bits	2,048 / 239,616 (< 1 %)
Embedded Multiplier 9-bit elements	0 / 52 (0 %)
Total PLLs	0 / 4 (0 %)

图 7 递归折叠结构的资源消耗

Revision Name	ds_dmf
Top-level Entity Name	dmf_gaijin
Family	Cyclone II
Device	EP2C20Q240C8
Timing Models	Final
Met timing requirements	No
Total logic elements	323 / 18,752 (2 %)
Total combinational functions	204 / 18,752 (1 %)
Dedicated logic registers	306 / 18,752 (2 %)
Total registers	306
Total pins	30 / 142 (21 %)
Total virtual pins	0
Total memory bits	1,744 / 239,616 (< 1 %)
Embedded Multiplier 9-bit elements	0 / 52 (0 %)
Total PLLs	0 / 4 (0 %)

图 8 改进 DMF 结构的资源消耗

从图 7 和图 8 可以发现,改进的 DMF 比递归折叠 DMF 消耗的逻辑资源减少了大约 $1/3$,2 种结构中的 RAM 和 FIFO 消耗的存储单元(total memory bits)都不到 1% ,但是相对于递归折叠 DMF,改进的 DMF 消耗的存储单元还是要少很多。

3.3 FPGA 实现

将改进结构的 DMF 的程序下载到以 Altera 公司的 CycloneII EP2C20Q240C8 为主芯片的 FPGA 开发板中,并用示波器观察实验结果。图 9 为改进 DMF 结构的叠加前后的相关峰。图 10 所示为改进 DMF 门限判决前后的仿真波形。

图 9 中,上面的波形是叠加前的相关峰,下面的波形是延时叠加后的相关峰,可以看出,叠加前每个基带码元内有两个相关峰,即每隔 NT_c 产生一个相关峰。而叠加后每个基带码元内只有一个相关峰,且这个相关峰的值近似为叠加前的相关峰值的 2 倍。

图 10 中上面的波形是判决前的相关峰(即叠加

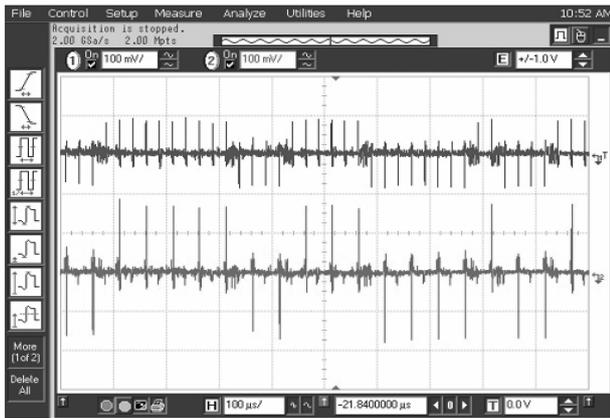


图9 改进 DMF 叠加前后的相关峰值



图10 改进 DMF 的相关峰与门限判决后的信号波形

后的相关峰),下面的波形是判决后输出的基带信号。可以看出相关峰值明显且非常尖锐。

当扩频增益非常大时,还可进一步改进,可以在发送端用 $K(K \geq 2)$ 个码元长度为 N 的同一伪随机序列重复对一个基带数据码元进行整周期扩频,在接收端只需要用码元长度为 N 的 DMF 来实现解扩,将同一个基带数据码元内出现的 K 个相关峰叠加后输出即可。虽然 K 越大,资源消耗会越小,但是由于扩频码长度的下降,其伪码的随机性和隐蔽性也会变差,所以 K 的取值应根据实际情况来选择。

4 结 论

数字匹配滤波器(DMF)是扩频接收机的重要组成部分。提出了一种改进的 DMF 结构,并基于递归折叠原理实现了该结构。在相同扩频增益条件下,基于改进的 DMF 的捕获系统具有与基于基本 DMF 捕获系统基本相同的检测概率和虚警概率;与递归折叠 DMF 相比,该改进结构不改变采样速率和工作时钟频率,极大地减少了硬件资源,具有较高

实用价值。

参考文献:

- [1] 何世彪,谭晓衡. 扩频技术及其实现[M]. 北京:电子工业出版社,2007.
- [2] 王光,田斌,吴勉,等. 数字匹配滤波器的优化设计与FPGA设计[J]. 国外电子元器件,2006(5):70-73.
WANG GUANG, TIAN BIN, WU MIAN, et al. Digital matching filter's optimization designing and FPGA implementation[J]. International Electronic Elements, 2006(5):70-73.
- [3] LIM T L. Non-coherent digital matched filters: multibit quantization[J]. IEEE Transactions on Communications, 1988,26(4):409-419.
- [4] XUAN G, CHEN J. A new algorithm of digital matched filter with a segment processing method [C] // 6th International Conference on ASIC. Shanghai: IEEE, 2005: 240-243.
- [5] 黄振,陆建华,杨士中. 基于 DMF 直扩系统捕获性能的研究[J]. 电路与系统学报,2002,7(1):92-95.
HUANG ZHEN, LU JIAN-HUA, YANG SHI-ZHONG. Performance of acquisition in a matched-filter for DSSS[J]. Journal of Circuits and Systems, 2002, 7(1):92-95.
- [6] SUST M K. Performance of digital matched filters in a direct sequence spread spectrum receiver[C]// Military Communications Conference. 1988, San Diego: IEEE 1988:961-967.
- [7] 张爱民,韩方景. 干扰环境下直扩系统中 DMF 捕获性能研究[J]. 航空电子技术,2006,39(3):1-4.
ZHANG AI-MIN, HAN FANG-JING. Research on acquisition performance of DMF in DSSS under the condition of interference [J]. Avionics Technology, 2006,39(3):1-4.
- [8] 沈业兵,安建平,王爱华. 数字匹配滤波器的递归折叠实现[J]. 北京理工大学学报,2006,8(8):733-736.
SHEN YE-BING, AN JIAN-PING, WANG AI-HUA. Recursive and folded implementation of digital matched filter [J]. Transactions of Beijing Institute of Technology, 2006,8(8):733-736.
- [9] 赵树杰,赵建勋. 信号检测与估计理论[M]. 北京:清华大学出版社,2005.
- [10] 张欣. 扩频通信数字基带信号处理算法及其 VLSI 实现[M]. 北京:科学出版社,2004.
- [11] WANG Y X, SHEN Y B. Optimized FPGA realization of digital matched filter in spread spectrum communication systems[C]// IEEE 8th International Conference on Computer and Information Technology Workshops. Honolulu: IEEE, 2008:173-176.

- [12] WEI B, SHARIF M Y, BINNIE T D, et al. Adaptive PN code acquisition in multi-path spread spectrum communications using FPGA [C] // International Symposium on Signals, Circuits and Systems, Romania; IEEE, 2007; 1-4
- [13] 何在民, 胡永辉, 魏敬法, 等. 基于 FPGA 的数字匹配滤波器的实现[J]. 时间频率学报, 2008, 31(1): 114-120.
HE ZAI-MIN, HU YONG-HUI, WEI JING-FA, et al. A digital matched filter realized based on FPGA[J]. Journal of Time and Frequency, 2008, 31(1): 114-120.
- [14] SI L, CHENG T. Efficient FPGA implementation of spread spectrum transceiver [C] // The 9th International Conference on Advanced Communication Technology. Korea; IEEE, 2007; 464-467.
- [15] SAINI I, SARIN R K, KHOSLA M, et al. Design of a high speed and low power digital matched filter for CDMA system [C] // Asia-Pacific Conference on Applied Electromagnetics, Malaysia; IEEE, 2007; 1-5.

(编辑 侯 湘)

~~~~~

(上接第 108 页)

## 参考文献:

- [1] DI BENEDETTO M G, KAISER T, MOLISH A F, et al. UWB communication systems; a comprehensive overview [M]. [S. 1]: Hindawi Publishing Corporation, 2006; 1-17.
- [2] QIU R C, SCHOLTZ R A, SHEN X. Guest editorial special section on ultra-wideband wireless communications—a new horizon[J]. IEEE Transactions Vehicular Technology, 2005, 54(5): 1525-1527.
- [3] BLAZQUEZ R, LEE F S, WENTZLOFF D D, et al. Digital architecture for an ultra-wideband radio receiver [C] // 2003 IEEE 58th Vehicular Technology Conference. Orlando, USA; IEEE, 2003; 1303-1307.
- [4] BARANIUK R. Compressive sensing[C]// 2008, 42nd Annual Conference on Information Sciences and Systems. Princeton, USA; IEEE, 2008; iv-v.
- [5] PAREDES J L, ARCE G R, WANG Z M. Ultra-wideband compressed sensing: channel estimation[J]. IEEE Journal of Selected Topics in Signal Processing, 2007, 1(3): 383-395.
- [6] PAREDES J L, ARCE G R, WANG Z M. Compressed sensing for ultrawideband impulse radio [C] // 2007 IEEE International Conference on Acoustics, Speech and Signal Processing. Honolulu, HI, USA; IEEE, 2007; III-553-III-556.
- [7] ROMBERG J. Imaging via compressive sampling[J]. IEEE Signal Processing Magazine, 2008, 25(2): 14-20.
- [8] COHEN A, DAHMEN W, DEVORE R. Compressed sensing and best k-term approximation[J]. Journal of the American Mathematical Society, 2009, 22(1): 211-231.
- [9] CANDES E J, WAKIN M B. An introduction to compressive sampling[J]. IEEE in Signal Processing Magazine, 2008, 25(2): 21-30.
- [10] DONOHO D L. For most large underdetermined systems of equations, the minimal 1-norm near-solution approximates the sparsest near-solution [J]. Communications on Pure and Applied Mathematics, 2006, 59(7): 907-934.
- [11] DUARTE M F, DAVENPORT M A, WAKIN M B, et al. Sparse signal detection from incoherent projections[C] // ICASSP' 2006. Toulouse, France; IEEE, 2006; 305-308.
- [12] MOLISCH A F, BALAKRISHNAN K, CASSISLI D, et al. IEEE 802.15.4a Channel Model—Final Report [R]. [S. 1]: IEEE, 2005.
- [13] CANDES E, ROMBERG J. Robust signal recovery from incomplete observations [C] // 2006 IEEE International Conference on Image Processing. Atlanta, Georgia; IEEE, 2006; 1281-1284.

(编辑 侯 湘)