

doi:10.11835/j.issn.1000-582X.2014.07.017

IEEE802.11n 的 LDPC 译码器中移位器的分析

向 兵,王孟禄,张少辉

(河南大学 物理与电子学院,开封 475004)

摘 要:对基于 IEEE802.11n 点的 LDPC 译码器中 SRSN 移位器结构进行了改进,即在第二级加入了选择端“sel”用于实现双向移位功能。最后在并行度为 81, normalized BP-Based 译码算法, 定点字长 7bits 优化的情况下对三 QSN、SRSN 以及改进的移位器进行了综合仿真, 仿真表明, 改进的移位器无论在面积、功耗、时延, 还是在占有硬件资源率方面几乎不增加的情况下, 增加了支持双向移位功能, 具有很强的灵活性。

关键词:译码器;低密度奇偶校验码;移位器;802.11n

中图分类号:TN919.5

文献标志码:A

文章编号:1000-582X(2014)07-125-06

Analysis on shifter of LDPC decoder based on IEEE802.11n

XIANG Bing, WANG Menglu, ZHANG Shaohui

(School of Physics and Electronics, Henan University, Kaifeng 475004, China)

Abstract: SRSN shifter structure of LDPC decoder for IEEE802.11n is improved. In the second level, the select port “sel” is added to implement bi-directional shift function. A DC simulation on the three shifters of QSN, SRSN and the improved shifter is conducted in the condition of the normalized BP-Based decoding algorithm, fixed word length of 7 bits and the degree of parallelism of 81. The simulation shows that the modified shifter does little increase in the aspects of area, power, delay, and hardware resources, and adds a function for bi-directional shift, which has very strong flexibility.

Key words: decoder; LDPC; shifter; 802.11n

LDPC 码(low density parity check)即低密度奇偶校验码,以其极好的纠错能力、高吞吐率等优点已经被一些通讯标准纳入其中,如 IEEE802.11n 等。随着人们对 LDPC 理论的深入研究,它已被用于第二代数字电视广播(DVB-S2)和第四代移动通信系统中,因此,对 LDPC 码的研究具有极高的社会价值和应用价值。

LDPC 码是在 1962 年被 Robert G. Gallager 率先提出的^[1-2],后由 Tanner 在 1981 年推广即形成了 Tanner 图^[3]。此后, Davey 和 Mackay 从减少 Tanner 图上小环路的概念出发提出了基于 GF(q)的 LDPC 码,进一步提高了 LDPC 码的性能^[4]。后来,由 Luby 等人采用优化度序列设计的非正则 LDPC 码相比以前性能又得到了显著提高^[5]。目前,有关 LDPC 码的研究方向主要包括码的构造、有效编码、译码算法、硬件实现等。

由于译码算法相对简单和硬件水平的提高,LDPC 码的硬件实现正在成为一个研究热点。LDPC 码在硬件方面的发展主要体现在复杂度和性能的衡量上,基本上所有的 LDPC 码译码器都是基于 Min-Sum 算法^[6]的,因为此算法软件实现的复杂度最低,并且还具有良好的译码性能。译码器大致分为 3 类:串行译码器、全

收稿日期:2014-02-13

基金项目:国家青年科学基金资助项目(11103002)

作者简介:向兵(1968-),男,副教授,主要从事半导体器件、半导体集成电路、电路系统方面的教学科研工作,(Tel) 13937831970;(E-mail) xiangbing@henu.edu.cn.

并行译码器和部分并行译码器。针对 802.11n 标准,为了达到高吞吐量,一般选择合适的多码率部分并行译码结构,对于不同的码率选择不同的最优校验因子(即软件算法中校验节点信息幅值的因子,其取值的好坏决定了其译码性能好坏),从而实现高的吞吐量。

移位器 shifter 是译码器中重要的组成部分,主要功能是实现对输入信号的移位。目前可以实现的移位器有很多种^[7-9],常用的有比较简单的 QC-LDPC 移位网络,简称 QSN^[10],这种简单的移位器虽然占用 FPGA 的 IOB 的个数少,但其实现只能针对输入是特定的校验阵,不支持双模而且仅能实现单向移位,灵活性较差。另外一种是比较复杂的 self-routing 移位网络,简称 SRSN^[11],这种移位器可以实现随机输入,不用拘泥于固定的校验阵,占用 FPGA 的 LUT 和 Slice 少且支持多模,但不支持双向移位,应用上也有一定的局限性。从讨论 LDPC 译码器中的 QSN 和 SRSN 移位器结构出发,对 SRSN 移位器提出改进,在保持其原有优点的情况下又实现双向移位功能,不但可以省去硬件上对 reversed shifter 的设计,而且具有很强的灵活性。

1 LDPC 译码器结构

基于 IEEE802.11n 标准 LDPC 码部分并行译码结构如图 1 所示^[12],其中 App memory 和 Check memory 主要是存储变量节点信息和校验节点信息,shifter 和 reversed shifter 具有移位功能,CNPU 负责校验节点处理和变量节点处理,addrngen 负责生成 App Memory 的地址 addr 和 shifter 的地址 shft,控制器 controller 对整个译码结构进行控制,例如读写操作等。译码时,同时读取 2 个数据,并且采用并行度为 81 的译码结构,使得输入和输出都为 1 134 bits。

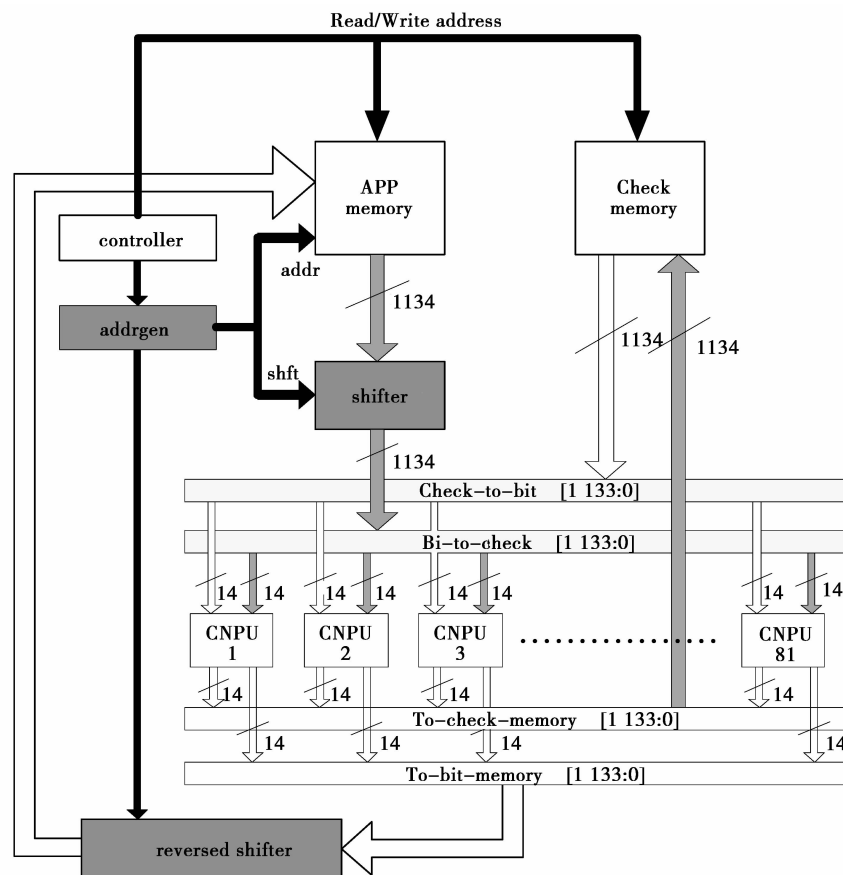


图 1 基于 IEEE802.11n 标准 LDPC 部分并行译码结构

2 LDPC 译码器中的移位器

部分并行译码结构实现如图 2 所示。图 2 中,输入的 1 134 bits 由 2 个相同的部分组成,每部分为 567 bits,包括 81 个 7 bits。为了实现以 7 bits 为一单元整体移位,处理时将 81 个 7 bits 的对应比特作为一个整

体进行移位,这样 81 个 7 bits 就转换成了 7 个 81 bits。处理完以后再回归原来的比特位。

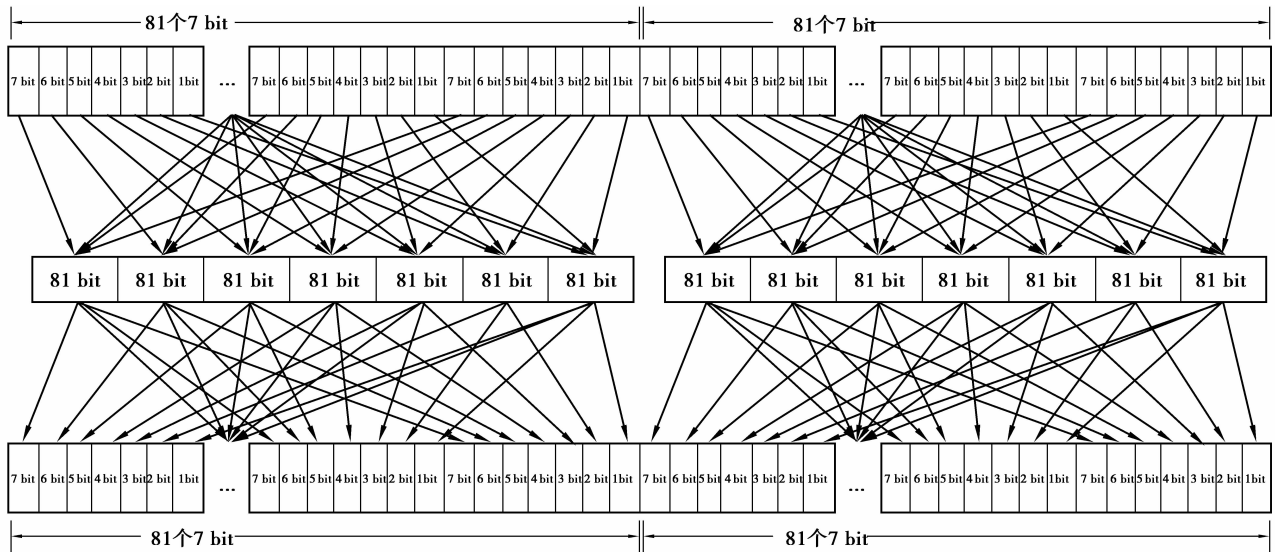


图 2 134 bits 移位器实现分析图

2.1 QSN 移位器网络

QSN 结构移位器由 3 部分组成:左移网络(left shift network)、右移网络(right shift network)和合并网络(merge network),如图 3 所示。其中左移网络产生左移输出,右移网络产生右移输出,两者并行执行,最后通过合并网络得到最终输出。

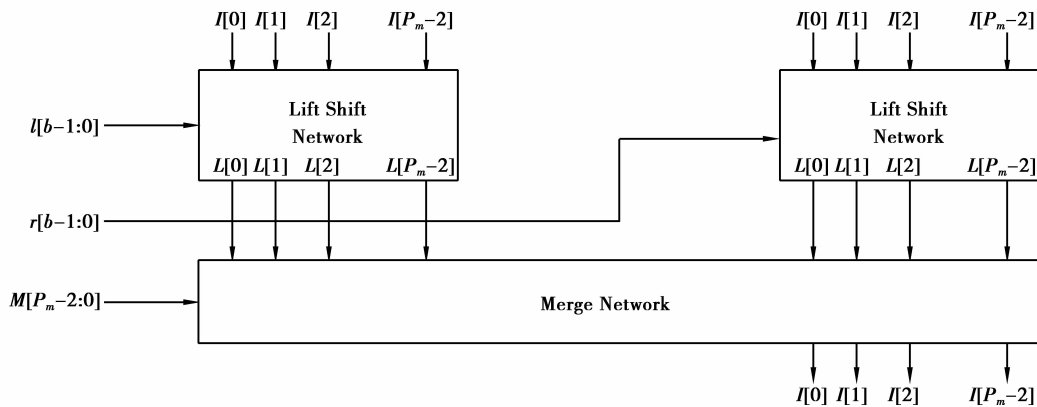


图 3 QSN 整体移位器结构

其中 P_m 为输入比特位, b 为控制端的位宽,是由偏移量 $shft$ 决定的。这里 $I = shft, r = P_m - shft$ 。

2.2 SRSN 移位器网络

对于 QSN 结构,其实现只能针对输入是特定的校验阵,这对于译码具有很大的局限性。而另外一种移位器 SRSN,此结构较灵活,当随机输入 378 bits、756 bits 或者 1 134 bits 时,都能实现移位功能。

SRSN 部分结构图^[13]如图 4 所示。SRSN 结构网包括三级网络:第一级为筒形移位器;第二级为两层判决数据电路;第三级为选通输出电路。

和 QSN 相比,在数据输入前 SRSN 多了一个 state 输入端,此输入端可以选择状态,以保证可以随机输入。state 为“10”,即选择输入为 1 134 bits,当 state 为“01”时,输入数据为 756 bits;当 state 为“00”时,输入数据为 378 bits。

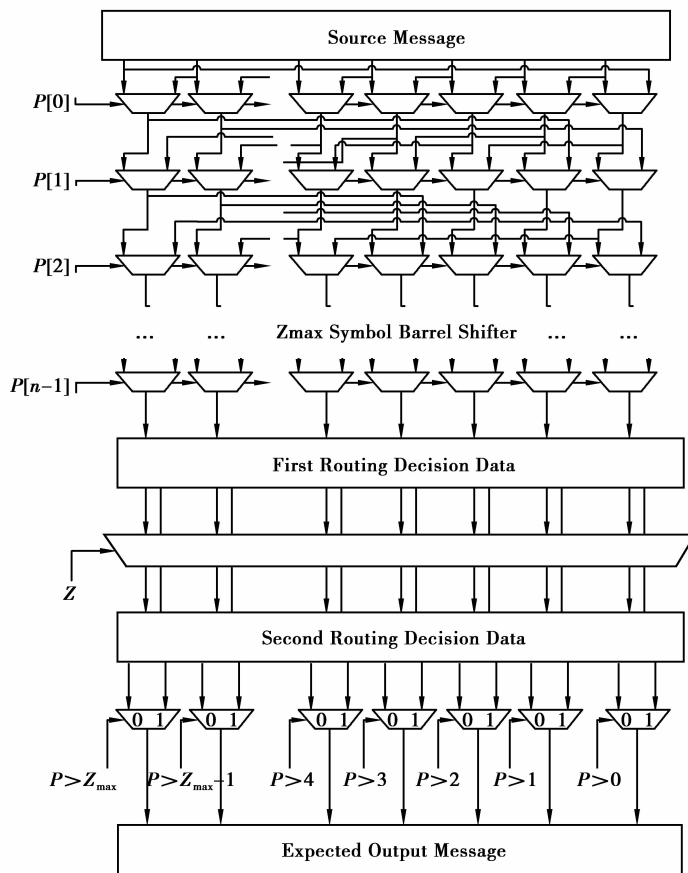


图 4 SRSN 部分结构图

2.3 改进的 SRSN 移位器网络

SRSN 结构与 QSN 结构相比,虽然具有很大的灵活性,可以实现随机输入,不用拘泥于固定的校验阵,但是仍然存在一定的局限性,即只能实现单向传输。如果移位器可以实现双向移动,不但可以省去硬件上对 reversed shifter 的设计,而且具有很大的灵活性。

改进的 SRSN 移位器网络在结构上同 SRQN 类似,只是在 SRSN 结构的第二级加入了选择端 sel 用于实现双向移位,即当 $sel=0$ 时,从高位向低位移;当 $sel=1$ 时,从低位向高位移。其结构同样包括三级网络:第一级为筒形移位器;第二级为产生两层判决数据电路;第三级为选通电路。由于第一层选择的是筒形移位信息的高位,第二层选择的是低位,无法直接进行选通。此时首先对第一层判决数据进行移位,得到右移第一层判决数据,它和第二层判决数据一起被送入选通网络,经过选择得到最终输出。

研究利用 Modelsim 测试仿真平台对其进行仿真,又通过 ISE 对其进行综合和后仿真,结果截图如图 5、图 6 和图 7 所示。仿真表明,功能正确。



图 5 1 134 bits 改进 SRSN 仿真波形截图

Device Utilization Summary				[1]
Logic Utilization	Used	Available	Utilization	Note(s)
Number of 4 input LUTs	1,018	27,392	3%	
Logic Distribution				
Number of occupied Slices	537	13,696	3%	
Number of Slices containing only related logic	537	537	100%	
Number of Slices containing unrelated logic	0	537	0%	
Total Number of 4 input LUTs	1,024	27,392	3%	
Number used as logic	1,018			
Number used as a route-thru	6			
Number of bonded IOBs				
Number of bonded	172	556	30%	

图 6 81 x 81 改进 SRSN 综合结果截图

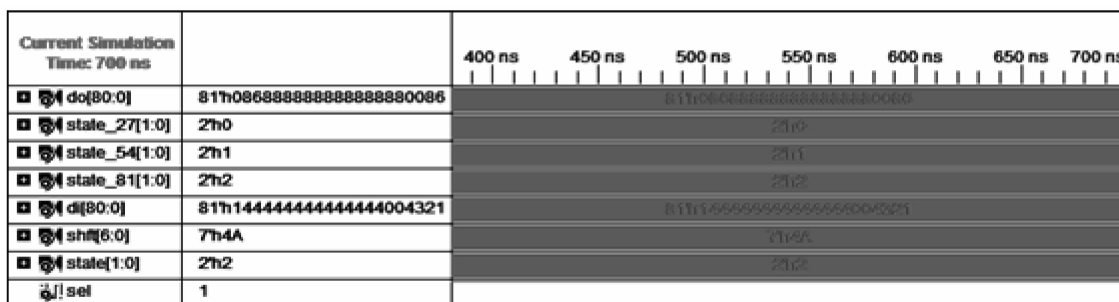


图 7 81 x 81 改进 SRSN 后仿真波形截图

2 3 种移位器综合对比结果

在都采用部分并行译码结构,并行度都为 81,并且都采用 normalized BP-Based 译码算法^[14-15],都采用特定的定点字长 7 bits 优化的情况下。通过对 3 种移位器功能进行综合仿真,具体数据见表 1 所示。

表 1 3 种移位器综合仿真对比

特 性	QSN	SRSN	改进 SRSN
面积/ μm^2	23 284.799	20 527.214	21 179.189
功耗/mW	7.4816	7.1874	9.7119
时间延迟/ns	12.025	11.146	13.877
LUT 的个数	1027	779	812
Slice 的个数	548	411	421
IOB 的个数	169	171	172
码长/bits	1944	1944	1944
码率	1/2、2/3、3/4、5/6	1/2、2/3、3/4、5/6	1/2、2/3、3/4、5/6
子矩阵大小	27,54,81	27,54,81	27,54,81
多模	否	是	是
双向移位	否	否	是

从面积、功耗来看,SRSN 最优,其次是改进 SRSN。从时间延迟来看,最优的是 SRSN,其次是 QSN。从占有 FPGA 资源来看,QSN 占有 IOB 的个数最少,然而其占有 LUT 和 Slice 的个数却是最多的;SRSN 占有 LUT 和 Slice 的个数最少,其次是改进 SRSN。从灵活度来看,改进 SRSN 最灵活,既支持多模又支持双向移位;而 SRSN 确介于两者之间,支持多模,但是不支持双向移位。

4 结 论

综上所述,对于给出的 LDPC 部分并行译码结构,改进的 SRSN 移位器无论在面积、功耗、时延,还是在占有硬件资源率方面在几乎不增加的情况下,既可以实现随机输入,不用拘泥于固定的校验阵,又增加了支持双向移位功能,不但可以省去硬件上对 reversed shifter 的设计,而且具有很大的灵活性,具有很强的实用功能。

参考文献:

- [1] Gallager R G.Low-density parity-check codes[J].IEEE Transactions on Information Theory,1962,8:21-28.
- [2] Rudiger Urbanke.Modern Coding Theory[R].EPFL DSC-LTHC,2001.
- [3] Tanner R M.A recursive approach to low complexity codes[J].IEEE Transactions on Information Theory,1981,27:533-547.
- [4] Robert J M,David J C,et al.Turbo decoding as an instance of pearl's 'belief propagation' algorithm[J].IEEE Journal on Selected Areas in Communications,1998,16(2):140-152.
- [5] Luby M G, Mitzenmacher M, Shokrollah M A, et al. Improved low-density parity-check codes using irregular graphs[J].IEEE Transactions on Information Theory,2001,47:585-598.
- [6] 袁东风,张海刚.LDPC 码理论与应用[M].北京:人民邮电出版社,2008.
- [7] Lin J, Wang Z, Li L, et al. Efficient shuffle network architecture and application for WiMAX LDPC decoders[J].IEEE Trans.Circuits Syst.II,2009,56(3):215-219.
- [8] Parhi K.Low-complexity switch network for reconfigurable LDPC decoders[J].IEEE Trans.Very Large Scale Integr.Syst,2010,18(1):85-94.
- [9] Liu C, Lin C, Yen S, et al. Design of a multimode QC-LDPC decoder based on shift-routing network[J].IEEE Trans.Circuits Syst.II, Exp.Briefs,2009,56(9):734-738.
- [10] Chen X H, Lin S, Akella V. QSN-A simple circular-shift network for reconfigurable quasi-cyclic LDPC Decoders[J].IEEE Trans.Circuits Syst.II,2010,57(10):782-786.
- [11] Liu C H, Lin C C, Yen S W. Design of a multimode QC-LDPC decoder based on shift-routing network[J].IEEE trans. Circuits Syst.II,2009,56(9):734-738.
- [12] Srinivasan V K K, Singh C K, Balsara P T. A generic scalable architecture for min-sum/offset-min-sum unit for irregular/regular LDPC decoder[J].IEEE Transactions on VLSI Systems,2010:1372-1376.
- [13] Liu C H, Lin C C, Chang H C, et al. Multi-mode message passing switch networks applied for QC-LDPC decoder[J].IEEE int.Symp.Circuits System,2008:752-755.
- [14] Chen J H, Marc P C. Near optimum universal belief propagation based decoding of Low-density parity check codes[J].IEEE Transactions on Communications,2002,50(3):83-89.
- [15] Chen J H, Dholakia A, Eleftheriou E, et al. Reduced-complexity decoding of LDPC codes [J]. IEEE Transactions on Communications,2005,53:1288-1299.

(编辑 侯 湘)